

特許協力条約

PCT

国際調査報告

(International Search Report)

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 M01-C-141CT1	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JP01/04344	国際出願日 (日.月.年) 23.05.01	優先日 (日.月.年) 23.05.00
出願人(氏名又は名称) 松下電器産業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。
 この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。
 この国際出願に含まれる書面による配列表

この国際出願と共に提出されたフレキシブルディスクによる配列表

出願後に、この国際調査機関に提出された書面による配列表

出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. 請求の範囲の一部の調査ができない(第I欄参照)。

3. 発明の單一性が欠如している(第II欄参照)。

4. 発明の名称は 出願人が提出したものを承認する。

次に示すように国際調査機関が作成した。

5. 要約は 出願人が提出したものを承認する。

第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1ヶ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 2 図とする。 出願人が示したとおりである。

なし

出願人は図を示さなかった。

本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl' H01L29/737, H01L21/331

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl' H01L29/73-29/737, H01L21/331

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2001年
日本国登録実用新案公報	1994-2001年
日本国実用新案登録公報	1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献 (References)

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X →	J P 2000-58555 A (日本電気株式会社) 25. 2月. 2000 (25. 02. 00),	1-2, 4-7, 9
A	段落番号【0067】～【0120】，図1～図4 (ファミリーなし)	3, 8
X	E P 0768716 A2 (NEC CORPORATION) 16. 4月. 1997 (16. 04. 97),	1, 4-6, 9
A	第15欄第13行～第20欄第46行，図5～図10 &	2-3, 7-8

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

20. 08. 01

国際調査報告の発送日

04.09.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小川 将之

4M 9634



電話番号 03-3581-1101 内線 3461

THIS PAGE BLANK (USPTO)

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリ--*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
→	JP 9-115921 A, 段落番号【0036】～【0048】、図4～図6 & US 5798562 A	
X	EP 0551185 A2 (KABUSHIKI KAISHA TOSHIBA) 14. 7月. 1993 (14. 07. 93) 第5欄第14行～第10欄第38行、図1～図9	1, 4-6, 9
A	& JP 5-182980 A, 段落番号【0016】～【0030】、図1～図9	2-3, 7-8
→	JP 5-102177 A (株式会社日立製作所) 23. 4月. 1993 (23. 04. 93) 段落番号【0011】～【0017】、図1 (ファミリーなし)	5

THIS PAGE BLANK (USPTO)

国際調査報告

(法8条、法施行規則第40、41条)
 [PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 M01-C-141CT1	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JP01/04344	国際出願日 (日.月.年) 23.05.01	優先日 (日.月.年) 23.05.00
出願人(氏名又は名称) 松下電器産業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
 この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。
 この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。
 この国際出願に含まれる書面による配列表
 この国際出願と共に提出されたフレキシブルディスクによる配列表
 出願後に、この国際調査機関に提出された書面による配列表
 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表
 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。
 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. 請求の範囲の一部の調査ができない(第I欄参照)。

3. 発明の单一性が欠如している(第II欄参照)。

4. 発明の名称は 出願人が提出したものと承認する。

次に示すように国際調査機関が作成した。

5. 要約は 出願人が提出したものと承認する。

第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
 第 2 図とする。 出願人が示したとおりである。

なし

出願人は図を示さなかつた。

本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl' H01L29/737, H01L21/331

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int.Cl' H01L29/73-29/737, H01L21/331

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2001年
日本国登録実用新案公報	1994-2001年
日本国実用新案登録公報	1996-2001年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリーエ	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-58555 A (日本電気株式会社) 25. 2月. 2000 (25. 02. 00), 段落番号【0067】～【0120】，図1～図4 (ファミリーなし)	1-2, 4-7, 9
A		3, 8
X	EP 0768716 A2 (NEC CORPORATION) 16. 4月. 1997 (16. 04. 97), 第15欄第13行～第20欄第46行，図5～図10 &	1, 4-6, 9
A		2-3, 7-8

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

20. 08. 01

国際調査報告の発送日

04.09.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

小川 将之

4M 9634



電話番号 03-3581-1101 内線 3461

THIS PAGE BLANK (USPTO)

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
	JP 9-115921 A, 段落番号【0036】～【0048】、図4～図6 &US 5798562 A	
X	EP 0551185 A2 (KABUSHIKI KAISHA TOSHIBA) 14. 7月. 1993 (14. 07. 93) 第5欄第14行～第10欄第38行、図1～図9 &JP 5-182980 A, 段落番号【0016】～【0030】、図1～図9	1, 4-6, 9
A		2-3, 7-8
Y	JP 5-102177 A (株式会社日立製作所) 23. 4月. 1993 (23. 04. 93) 段落番号【0011】～【0017】、図1 (ファミリーなし)	5

THIS PAGE BLANK (USPTO)

54110910101

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年11月29日 (29.11.2001)

PCT

(10) 国際公開番号
WO 01/091162 A3

(51) 国際特許分類: H01L 29/737, 21/331

(21) 国際出願番号: PCT/JP01/04344

(22) 国際出願日: 2001年5月23日 (23.05.2001)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ: 特願2000-151044 2000年5月23日 (23.05.2000) JP

(71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).

(72) 発明者: および

(75) 発明者/出願人(米国についてのみ): 浅井 明 (ASAII, Akira) [JP/JP]; 〒543-0001 大阪府大阪市天王寺区上本町9-5-12-1303 Osaka (JP). 大西照人 (OHNISHI Teruhito) [JP/JP]; 〒573-0049 大阪府枚方市山之上北町60-1-1202 Osaka (JP). 高木 剛 (TAKAGI, Takeshi) [JP/JP]; 〒616-8182 京都府京都市右京区太秦北路町3-3 Kyoto (JP).

(74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.) ; 〒550-0004 大阪府大阪市西区靱本町1丁目4番8号 太平ビル Osaka (JP).

(81) 指定国(国内): CN, KR, US.

(84) 指定国(広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

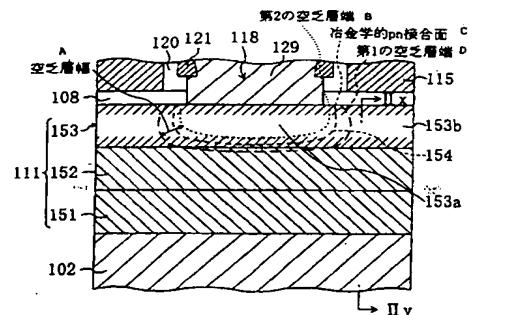
添付公開書類:
— 国際調査報告書

(75) 発明者/出願人(米国についてのみ): 浅井 明 (ASAII, (88) 国際調査報告書の公開日: 2002年7月4日
(統葉有)



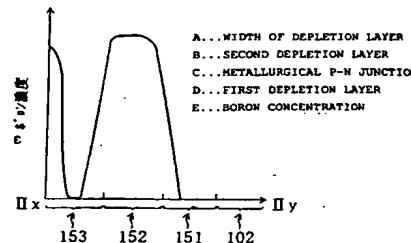
(54) Title: BIPOLAR TRANSISTOR AND METHOD OF MANUFACTURE THEREOF

(54) 発明の名称: バイポーラトランジスタ及びその製造方法



162800 MAIL ROOM
AUG-2 2002

RECEIVED



(57) Abstract: A spacer layer (151) of SiGe, a graded base layer (152) of boron-containing SiGe, and a silicon cap layer (153) are epitaxially grown in sequence on a collector layer (102) of a silicon substrate. On the silicon cap layer (153) are formed a second deposited oxide (112) with a base opening (118) and a P⁺ polysilicon layer (115) filled in the base opening to form an emitter contact, and phosphorus is diffused in the silicon cap layer (153) to form a diffused emitter layer (153a). In growing the silicon cap layer (153), in-situ doping is used so that boron may be present only in upper portions. As a result, the width of a depletion layer (154) is reduced, thus reducing recombination current and improving the linearity of a current characteristic.

(統葉有)

WO 01/091162 A3



2文字コード及び他の略語については、定期発行される各PCT gazetteの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

Si基板のコレクタ層102の上に、SiGeスペーサ層151と、ボロンを含む傾斜SiGeベース層152と、Siキャップ層153とを順次エピタキシャル成長させる。Siキャップ層153の上に、ベース開口部118を有する第2の堆積酸化膜112と、ベース開口部を埋めるエミッタ引き出し電極となるP+ポリシリコン層115を形成し、Siキャップ層153にリンを拡散させてエミッタ拡散層153aを形成する。Siキャップ層153を成長させる際に、in-situドープにより上部のみにボロンを含ませておくことにより、空乏層154の幅が縮小され、再結合電流の低減により、電流特性のリニアリティが向上する。

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/04344

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L29/737, H01L21/331

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/73-29/737, H01L21/331

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-58555 A (NEC Corporation), 25 February, 2000 (25.02.00), Par. Nos. [0067]-[0120]; Figs. 1 to 4 (Family: none)	1-2,4-7,9
A	EP 0768716 A2 (NEC CORPORATION), 16 April, 1997 (16.04.97), Column 15, line 13 to Column 20, line 46; Figs. 5 to 10 & JP 9-115921 A Par. Nos. [0036]-[0048]; Figs. 4-6 & US 5798562 A	3,8 1,4-6,9 2-3,7-8
X	EP 0551185 A2 (KABUSHIKI KAISHA TOSHIBA), 14 July, 1993 (14.07.93), Column 5, line 14 to Column 10, line 38; Figs. 1 to 9 & JP 5-182980 A Par. Nos. [0016]-[0030]; Figs. 1 to 9	1,4-6,9 2-3,7-8
Y	JP 5-102177 A (Hitachi, Ltd.), 23 April, 1993 (23.04.93), Par. Nos. [0011]-[0017]; Fig. 1 (Family: none)	5

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
20 August, 2001 (20.08.01)

Date of mailing of the international search report
04 September, 2001 (04.09.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl' H01L29/737, H01L21/331

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl' H01L29/73-29/737, H01L21/331

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2001年
日本国登録実用新案公報	1994-2001年
日本国実用新案登録公報	1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-58555 A (日本電気株式会社) 25. 2月. 2000 (25. 02. 00), 段落番号【0067】～【0120】，図1～図4 (ファミリーなし)	1-2, 4-7, 9
A		3, 8
X	EP 0768716 A2 (NEC CORPORATION) 16. 4月. 1997 (16. 04. 97), 第15欄第13行～第20欄第46行，図5～図10 &	1, 4-6, 9
A		2-3, 7-8

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

20. 08. 01

国際調査報告の発送日

04.09.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小川 将之

4M 9634



電話番号 03-3581-1101 内線 3461

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
	JP 9-115921 A, 段落番号【0036】～【0048】、図4～図6 & US 5798562 A	
X	EP 0551185 A2 (KABUSHIKI KAISHA TOSHIBA) 14. 7月. 1993 (14. 07. 93) 第5欄第14行～第10欄第38行、図1～図9 & JP 5-182980 A, 段落番号【0016】～【0030】、図1～図9	1, 4-6, 9
A		2-3, 7-8
Y	JP 5-102177 A (株式会社日立製作所) 23. 4月. 1993 (23. 04. 93) 段落番号【0011】～【0017】、図1 (ファミリーなし)	5

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年11月29日 (29.11.2001)

PCT

(10) 国際公開番号
WO 01/91162 A2

(51) 国際特許分類:

H01L

(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).

(21) 国際出願番号:

PCT/JP01/04344

(22) 国際出願日:

2001年5月23日 (23.05.2001)

(72) 発明者; および

(25) 国際出願の言語:

日本語

(75) 発明者/出願人 (米国についてのみ): 浅井 明 (ASAII, Akira) [JP/JP]; 〒543-0001 大阪府大阪市天王寺区上本町9-5-12-1303 Osaka (JP). 大西照人 (OHNISHI Teruhito) [JP/JP]; 〒573-0049 大阪府枚方市山之上北町60-1-1202 Osaka (JP). 高木 剛 (TAKAGI, Takeshi) [JP/JP]; 〒616-8182 京都府京都市右京区太秦北路町3-3 Kyoto (JP).

(26) 国際公開の言語:

日本語

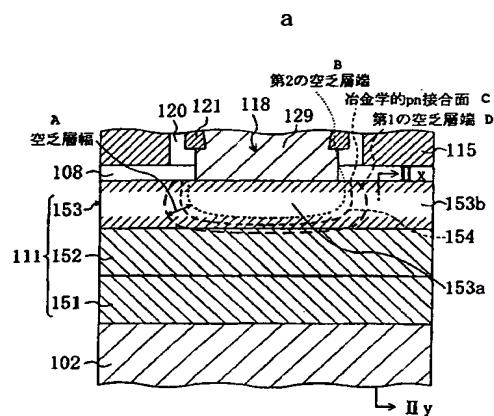
(30) 優先権データ:

特願2000-151044 2000年5月23日 (23.05.2000) JP

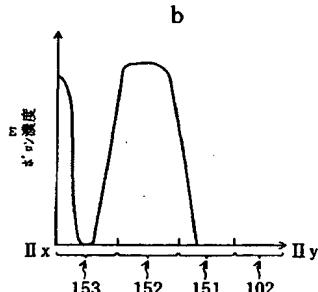
[統葉有]

(54) Title: BIPOLAR TRANSISTOR AND METHOD OF MANUFACTURE THEREOF

(54) 発明の名称: バイポーラトランジスタ及びその製造方法



(57) Abstract: A spacer layer (151) of SiGe, a graded base layer (152) of boron-containing SiGe, and a silicon cap layer (153) are epitaxially grown in sequence on a collector layer (102) of a silicon substrate. On the silicon cap layer (153) are formed a second deposited oxide (112) with a base opening (118) and a P⁺ polysilicon layer (115) filled in the base opening to form an emitter contact, and phosphorus is diffused in the silicon cap layer (153) to form a diffused emitter layer (153a). In growing the silicon cap layer (153), in-situ doping is used so that boron may be present only in upper portions. As a result, the width of a depletion layer (154) is reduced, thus reducing recombination current and improving the linearity of a current characteristic.



A...WIDTH OF DEPLETION LAYER
B...SECOND DEPLETION LAYER
C...METALLURGICAL P-N JUNCTION
D...FIRST DEPLETION LAYER
E...BORON CONCENTRATION

WO 01/91162 A2

[統葉有]

THIS PAGE BLANK (USPTO)

(19) 世界知的所有權機關
國際事務局



A standard linear barcode is positioned horizontally across the page, consisting of vertical black lines of varying widths on a white background.

(43) 国際公開日
2001年11月29日 (29.11.2001)

PCT

(10) 国際公開番号
WO 01/91162 A2

(51) 國際特許分類⁷:

H01L

(71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).

(21) 國際出願番号:

PCT/JP01/0434

(22) 國際出願日:

2001年5月23日 (23.05.2001)

(25) 國際出願の言語・

日本語

(72) 発明者: および

(75) 発明者/出願人(米国についてのみ): 浅井 明 (ASAII, Akira) [JP/JP]; 〒543-0001 大阪府大阪市天王寺区上本町9-5-12-1303 Osaka (JP). 大西照人 (OHNISHI Teruhito) [JP/JP]; 〒573-0049 大阪府枚方市山之上北町60-1-1202 Osaka (JP). 高木 剛 (TAKAGI, Takeshi) [JP/JP]; 〒616-8182 京都府京都市右京区太秦北野町3-3 Kyoto (JP).

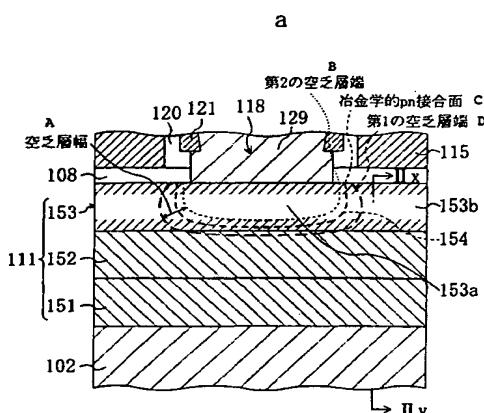
(30) 例先接三一句。

特願2000-151044 2000年5月23日(23.05.2000) JB

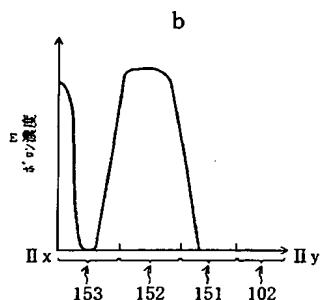
/有葉繞/

(54) Title: BIPOLAR TRANSISTOR AND METHOD OF MANUFACTURE THEREOF

(54) 発明の名称: バイポーラトランジスタ及びその製造方法



(57) Abstract: A spacer layer (151) of SiGe, a graded base layer (152) of boron-containing SiGe, and a silicon cap layer (153) are epitaxially grown in sequence on a collector layer (102) of a silicon substrate. On the silicon cap layer (153) are formed a second deposited oxide (112) with a base opening (118) and a P⁺ polysilicon layer (115) filled in the base opening to form an emitter contact, and phosphorus is diffused in the silicon cap layer (153) to form a diffused emitter layer (153a). In growing the silicon cap layer (153), in-situ doping is used so that boron may be present only in upper portions. As a result, the width of a depletion layer (154) is reduced, thus reducing recombination current and improving the linearity of a current characteristic.



A...WIDTH OF DEPLETION LAYER
B...SECOND DEPLETION LAYER
C...METALLURGICAL P-N JUNCTION
D...FIRST DEPLETION LAYER
E...BORON CONCENTRATION



(74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒 550-0004 大阪府大阪市西区鞠本町1丁目4番8号 太平ビル Osaka (JP). 添付公開類:
— 國際調査報告書なし; 報告書を受け取り次第公開される。

(81) 指定国(国内): CN, KR, US.

(84) 指定国(広域): ヨーロッパ特許(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドノート」を参照。

(57) 要約:

Si基板のコレクタ層102の上に、SiGeスペーサ層151と、ボロンを含む傾斜SiGeベース層152と、Siキャップ層153とを順次エピタキシャル成長させる。Siキャップ層153の上に、ベース開口部118を有する第2の堆積酸化膜112と、ベース開口部を埋めるエミッタ引き出し電極となるP+ポリシリコン層115を形成し、Siキャップ層153にリンを拡散させてエミッタ拡散層153aを形成する。Siキャップ層153を成長させる際に、in-situドープにより上部のみにボロンを含ませておくことにより、空乏層154の幅が縮小され、再結合電流の低減により、電流特性のリニアリティが向上する。

明 細 書

バイポーラトランジスタ及びその製造方法

技術分野

本発明は、ヘテロ接合型バイポーラトランジスタ及びその製造方法に関し、特に、電流特性のリニアリティの向上対策に関するものである。

背景技術

近年、シリコン基板上に形成されるバイポーラトランジスタに Si / SiGe, Si / SiC 等のヘテロ接合構造を含ませることにより、より優れた伝導特性を持たせてさらに高周波領域の動作を実現させるヘテロバイポーラトランジスタ (HBT) の開発が急ピッチで進められている。この HBT は、Si 基板上に SiGe 層をエピタキシャル成長させて、この Si / SiGe ヘテロ接合構造を利用するものであって、それまで GaAs 等の化合物半導体基板を用いたトランジスタでないと動作させることができなかった高周波数領域においても動作するトランジスタを実現することができる。この HBT は、Si 基板、SiGe 層という汎用のシリコンプロセスと親和性のよい材料で構成されるので、高集積度や低コストという大きな利点を有する。特に、HBT と MOSトランジスタ (MOSFET) とを共通の Si 基板上に形成して集積化することにより、高性能な BiCMOS デバイスを構成することもでき、この BiCMOS デバイスは通信関係に利用可能なシステム LSI として有望である。

図 10 は、従来の HBT の構造を示す断面図である。同図に示すように、(001) を主面とする Si 基板 500 の上部は、エピタキシャル成長法、イオン注入法などによって導入されたリンなどの N 型不純物を含む深さ $1 \mu\text{m}$ のレトログレードウェル 501 となっている。また、素子分離として、酸化シリコンが埋め込まれたシャロートレンチ 503 と、アンドープポリシリコン膜 505 及びこれを取り囲むシリコン酸化膜 506 により構成されるディープトレンチ 504 とが設けられている。各トレンチ 503, 504 の深さは、それぞれ $0.35 \mu\text{m}$,

2 μ m程度である。

また、Si基板500内におけるトレンチ503によって挟まれる領域にコレクタ層502が設けられており、Si基板500内のコレクタ層502とはシャロートレンチ503により分離された領域には、レトログレードウェル501を介してコレクタ層502の電極とコンタクトするためのN+コレクタ引き出し層507が設けられている。

また、Si基板500の上には、コレクタ開口部510を有する厚さ約30nmの第1の堆積酸化膜508が設けられていて、Si基板500の上面のうちコレクタ開口部510に露出する部分の上には、P型不純物がドープされた厚さ約60nmのSi_{1-x}Ge_x層と厚さ約10nmのSi膜とが積層されてなるSi/Si_{1-x}Ge_x層511が設けられている。そして、Si/Si_{1-x}Ge_x層511のうちの中央部（後述するベース開口部518の下方領域）の下部が内部ベース519として機能している。また、Si/Si_{1-x}Ge_x層511の中央部の上部がエミッタ層として機能している。

Si/Si_{1-x}Ge_x層511及び第1の堆積酸化膜508の上には、厚さ約30nmのエッチストップ用の第2の堆積酸化膜512が設けられていて、第2の堆積酸化膜512には、ベース接合用開口部514及びベース開口部518が形成されている。そして、ベース接合用開口部514を埋めて第2の堆積酸化膜512の上に延びる厚さ約150nmのP+ポリシリコン層515と第3の堆積酸化膜517とが設けられている。上記Si/Si_{1-x}Ge_x層511のうちベース開口部518の下方領域を除く部分とP+ポリシリコン層515とによって外部ベース516が構成されている。

また、P+ポリシリコン層515及び第3の堆積酸化膜517のうち、第2の堆積酸化膜512のベース開口部518の上方に位置する部分は開口されていて、P+ポリシリコン層515の側面には厚さ約30nmの第4の堆積酸化膜520が形成されており、さらに、第4の堆積酸化膜520の上に厚さ約100nmのポリシリコンからなるサイドウォール521が設けられている。そして、ベース開口部518を埋めて第3の堆積酸化膜517の上に延びるN+ポリシリコン層529が設けられており、このN+ポリシリコン層529はエミッタ引き出し

電極として機能する。上記第4の堆積酸化膜520によって、P+ポリシリコン層515とN+ポリシリコン層529とが電気的に絶縁されるとともに、P+ポリシリコン層515からN+ポリシリコン層529への不純物の拡散が阻止されている。また、第3の堆積酸化膜517によって、P+ポリシリコン層515の上面とN+ポリシリコン層529とが絶縁されている。

さらに、コレクタ引き出し層507、P+ポリシリコン層515及びN+ポリシリコン層529の表面には、それぞれTiシリサイド層524が形成され、N+ポリシリコン層529とP+ポリシリコン層515との外側面はサイドウォール523により覆われている。また、基板全体は層間絶縁膜525によって覆われており、層間絶縁膜525を貫通してN+コレクタ引き出し層507、外部ベースの一部であるP+ポリシリコン層515及びエミッタ引き出し電極であるN+ポリシリコン層529上のTiシリサイド層524に到達する接続孔がそれぞれ形成されている。そして、この各接続孔を埋めるWプラグ526と、各Wプラグ526に接続されて、層間絶縁膜525の上に延びる金属配線527とが設けられている。

解決課題

しかしながら、上記従来のHBT又はSiGe-BiCMOSにおいては、以下のようないくつかの不具合があった。

図11(a)は、従来のHBTにおけるベース電流、コレクタ電流のベース・エミッタ電圧に対する依存性いわゆるガンメル特性を示す図である。同図において、横軸はベース・エミッタ電圧(V)を表し、縦軸はベース電流又はコレクタ電流(A)(対数値)を表している。同図に示すように、ベース・エミッタ電圧が低い領域で、コレクタ電流特性線とベース電流特性線との平行関係が崩れ、ベース電流が過剰になっている。つまり、HBTの低バイアス領域における電流特性のリニアリティが悪化するという不具合があった。

そこで、その原因について調べたところ、その1つとして、Si層の第2の堆積酸化膜112直下の領域における再結合電流が過剰に生じていることが挙げられる。そして、過剰な再結合電流が発生する原因是、Si層におけるpn接合部

に生じる空乏層の形状がよくないことがあるのではないかと考えられた。

図12 (a), (b) は、従来のHBTのエミッタ・ベース接合部を拡大して示す部分断面図、及びエミッタ・ベース接合部付近の断面に沿ったボロンの濃度分布を示す図である。図12 (a) に示すように、Si/Si_{1-x}Ge_x層511は、Geの含有率が15%であるアンドープのSiGeスペーサ層551と、Geの含有率が下端で15%，上端で0となるようにほぼ連続的に変化するとともに高濃度のボロンを含むP型の傾斜SiGeベース層552と、アンドープのSiキャップ層553とを順次積層して設けられている。そして、Siキャップ層553のうち、ベース開口部518直下でN+ポリシリコン層529（エミッタ引き出し電極）と接する領域には、N+ポリシリコン層529から高濃度のリンが拡散により導入されてN型のエミッタ拡散層553aが形成されている。そして、Siキャップ層511のうちエミッタ拡散層553aを取り囲む周辺層553b（特にその下部）には、傾斜SiGe層552から拡散したボロンが含まれて、周辺層553bはP型になっている。したがって、Siキャップ層551において、エミッタ拡散層553aと周辺層553bとの間にpn接合部があり、このpn接合部における冶金学的pn接合面の両側に空乏層554が広がっている。このとき、空乏層554のうちSiキャップ層551の上部に位置する部分の幅が広がっている。その結果、空乏層554内で再結合するキャリアによって生じる再結合電流が増大するために、図11 (a) に示すような電流特性のリニアリティの悪化が生じたものと考えられる。

再結合電流 I_{rec} は、pn接合面積を S 、空乏層幅を W 、再結合確率を U 、素電荷量を q として、S.M.Sze: "Physics of Semiconductor Devices", John Wiley & Sons, Inc., 1981, pp.89-94 によれば、下記式

$$I_{rec} = \int q \cdot U \cdot dx \quad (x = 0 \sim W)$$

により表される。

ここで、再結合確率 U は空乏層中に含まれる深い準位の密度、準位の深さや捕獲断面積等のパラメータによって定まる。この式は、空乏層の一方の空乏層端（図12 (a) に示す第1の空乏層端）から他方の空乏層端（図12 (a) に示す第2の空乏層端）の間に存在する深い不純物準位が再結合中心となり空乏層の幅

(第1の空乏層端から第2の空乏層端までの距離)が広いほど、再結合電流が多くなることを示している。

すなわち、図12(a)に示すように、上記従来のバイポーラトランジスタにおいては、p-n接合部に存在する空乏層554のうちSiキャップ層551の上部に存在する部分が特に拡大していることから、再結合電流I_{rec}が増大しているものと考えられる。

本発明の目的は、上述のような考察に基づき、HBTにおけるSiキャップ層中の不純物の濃度分布を改善する手段を講ずることにより、電流特性のリニアリティの良好なバイポーラトランジスタ及びその製造方法の提供を図ることにある。

発明の開示

ここで、本発明では、空乏層幅を低減することにより再結合電流I_{rec}を低減するために、以下の手段を講じている。

本発明のバイポーラトランジスタは、基板上に設けられ、第1導電型不純物を含むコレクタ層となる第1の半導体層と、上記第1の半導体層の上に設けられ、第2導電型不純物を含むベース層となる第2の半導体層と、上記第2の半導体層の上に設けられ、上記第2の半導体層とはバンドギャップが異なる材料からなる第3の半導体層と、上記第3の半導体層の上に設けられた絶縁膜と、上記絶縁膜に設けられ、上記第3の半導体層に達する開口部と、導体材料により構成され、上記絶縁膜の開口部を埋めて上記第3の半導体層に接触するエミッタ引き出し電極とを備え、上記第3の半導体層は、上記開口部の下方に位置する第1導電型のエミッタ拡散層と、該エミッタ拡散層の側方に位置する領域において少なくとも上部に第2導電型不純物を含む周辺層とを有している。

これにより、第3の半導体層の上部において、高濃度の第1導電型不純物を含むエミッタ拡散層と、高濃度の第2導電型不純物を含む第3の半導体層とに間にp-n接合部が形成されるので、p-n接合部に形成される空乏層の幅が狭くなり、キャリアが空乏層内で再結合する量が減少する。そして、再結合電流が低減される結果、ヘテロ接合型バイポーラトランジスタの電流特性のリニアリティが改善

されることになる。

上記絶縁膜を、第2導電型不純物がドープされたシリコン酸化膜により構成しておき、上記第3の半導体層の上部の少なくとも一部に含まれる第2導電型不純物を上記絶縁膜から拡散したものとすることができる。

上記第3の半導体層のうち上記下敷き絶縁膜の外方に位置する部分に接し、かつ、上記絶縁膜の上に延びるように設けられ、第2導電型不純物がドープされたベース引き出し電極として機能するポリシリコン膜をさらに備え、上記第3の半導体層の上部の少なくとも一部に含まれる第2導電型不純物を、上記ポリシリコン膜から上記絶縁膜を通過して拡散したものとすることもできる。

上記第3の半導体層のエミッタ拡散層中の第1導電型不純物は、上記エミッタ引き出し電極から拡散したものとすることにより、第3の半導体層内の導電型の反転を利用したエミッタ拡散層が得られることになる。

上記基板をシリコン基板とし、上記第1の半導体層をSi層とし、上記第2の半導体層をSiGe又はSiGeC層とし、上記第3の半導体層をSi層とすることにより、Siプロセスを利用して形成することが容易なSiGe-HBTが得られる。

本発明の第1のバイポーラトランジスタは、基板上の第1導電型不純物を含むコレクタ層となる第1の半導体層の上に、第2導電型不純物を含むベース層となる第2の半導体層を形成する工程(a)と、上記第2の半導体層の上に、上記第2の半導体層とはバンドギャップが異なる材料からなり、少なくとも上部に第2導電型不純物を含む第3の半導体層をエピタキシャル成長により形成する工程(b)と、上記工程(b)の後で、基板上に絶縁膜を堆積する工程(c)と、上記絶縁膜に上記第3の半導体層に達する開口部を形成する工程(d)と、上記第3の半導体層のうち上記開口部の下方に位置する領域に第1導電型不純物を導入して、エミッタ拡散層を形成する工程(e)とを含んでいる。

この方法により、第3の半導体層内にin-situドープを利用して、第3の半導体層の上部にドープされる第2導電型不純物の濃度を、比較的高精度で制御することができる。

本発明の第2のバイポーラトランジスタの製造方法は、基板上の第1導電型不

純物を含むコレクタ層となる第1の半導体層の上に、第2導電型不純物を含むベース層となる第2の半導体層を形成する工程(a)と、上記第2の半導体層の上に、上記第2の半導体層とはバンドギャップが異なる材料からなる第3の半導体層をエピタキシャル成長により形成する工程(b)と、上記工程(b)の後で、基板上に第2導電型不純物を含む絶縁膜を堆積する工程(c)と、上記絶縁膜に上記第3の半導体層に達する開口部を形成する工程(d)と、上記第3の半導体層のうち上記開口部の下方に位置する領域に第1導電型不純物を導入して、エミッタ拡散層を形成する工程(e)とを含み、上記工程(c)の後の処理により、上記第3の半導体層の上部に上記絶縁膜から第2導電型不純物がドープされる方法である。

この方法により、比較的簡素な工程で第3の半導体層の上部に第2導電型不純物をドープすることができる。

本発明の第3のバイポーラトランジスタの製造方法は、基板上の第1導電型不純物を含むコレクタ層となる第1の半導体層の上に、第2導電型不純物を含むベース層となる第2の半導体層を形成する工程(a)と、上記第2の半導体層の上に、上記第2の半導体層とはバンドギャップが異なる材料からなる第3の半導体層をエピタキシャル成長により形成する工程(b)と、上記工程(b)の後に、基板上に絶縁膜を堆積する工程(c)と、基板上に、第2導電型不純物を含む導体膜を堆積した後、該導体膜に上記絶縁膜に到達する開口部を形成する工程(d)と、上記第1の導体膜の開口部の側面を覆う絶縁性材料からなるサイドウォールを形成する工程(e)と、上記工程(e)の後に、上記絶縁膜に上記第3の半導体層に達する開口部を形成する工程(f)と、上記第3の半導体層のうち上記開口部の下方に位置する領域に第1導電型不純物を導入して、エミッタ拡散層を形成する工程(g)とを含み、上記工程(d)の後の処理により、上記第3の半導体層の上部に上記導体膜から上記絶縁膜を通過した第2導電型不純物がドープされる方法である。

この方法により、第3の半導体層の上部のうちエミッタ拡散層となる領域を除く領域のみに第2導電型不純物をドープすることができるので、エミッタ拡散層の第1導電型不純物の濃度とは切り離して第2導電型不純物の濃度を自由に設定

することができる。

上記工程 (f) の後で上記工程 (g) の前に、基板上に上記導体膜とは別の導体膜を堆積した後、該別の導体膜をパターニングして上記絶縁膜の開口部を埋めて上記絶縁膜の上に延びる第1導電型不純物を含むエミッタ引き出し電極を形成する工程をさらに含むことにより、ダブルポリシリコン工程を利用して、HBTを形成することが可能となる。

図面の簡単な説明

図1は、本発明の基本的なSiGe-HBTの構造を示す断面図である。

図2(a), (b)は、図1のエミッタ・ベース接合部を拡大して示す部分断面図、及びエミッタ・ベース接合部付近の断面に沿ったボロンの濃度分布を示す図である。

図3(a), (b)は、第1の実施形態の半導体装置の製造工程のうちコレクタ開口部にSi/Si_{1-x}Ge_x層を形成する工程を示す断面図である。

図4(a), (b)は、第1の実施形態の半導体装置の製造工程のうちP+ポリシリコン層にベース開口部を形成する工程を示す断面図である。

図5(a), (b)は、第1の実施形態の半導体装置の製造工程のうちベース開口部にN+ポリシリコン層を形成する工程を示す断面図である。

図6(a), (b)は、第1の実施形態の半導体装置の製造工程のうちP+ポリシリコンの端部をパターニングする工程を示す断面図である。

図7(a), (b)は、第1の実施形態の製造工程中の図であって、図3(b)に示す工程におけるエミッタ・ベース接合部の構造を拡大して示す部分断面図、及びその断面に沿ったボロンの濃度分布を示す図である。

図8(a), (b)は、第2の実施形態の製造工程中の図であって、図4(a)に示す工程におけるエミッタ・ベース接合部の構造を拡大して示す部分断面図、及びその断面に沿ったボロンの濃度分布を示す図である。

図9(a), (b)は、第3の実施形態の製造工程中の図であって、図4(a)に示す工程におけるエミッタ・ベース接合部の構造を拡大して示す部分断面図、及びその断面に沿ったボロンの濃度分布を示す図である。

図10は、従来のHBTの構造を示す断面図である。

図11(a), (b)は、従来のバイポーラトランジスタと第3の実施形態によって形成された本発明のHBTとのベース電流、コレクタ電流のベース・エミッタ電圧に対する依存性を示す図である。

図12(a), (b)は、従来のHBTのエミッタ・ベース接合部を拡大して示す部分断面図、及びエミッタ・ベース接合部付近の断面に沿ったボロンの濃度分布を示す図である。

図13は、本発明の基本構造の変形例の半導体装置であるバイポーラトランジスタの構成を示す断面図である。

最良の実施形態

図1は、本発明の基本的なSiGe-HBTの構造を示す断面図である。

同図に示すように、(001)面を主面とするSi基板100の上部は、エピタキシャル成長法、イオン注入法などによって導入されたリンなどのN型不純物を含む深さ1μmのレトログレードウェル101となっている。Si基板100の表面付近の領域におけるN型不純物濃度は、 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 程度に調整されている。また、素子分離として、酸化シリコンが埋め込まれたシャロートレンチ103と、アンドープポリシリコン膜105及びこれを取り囲むシリコン酸化膜106により構成されるディープトレンチ104とが設けられている。各トレンチ103, 104の深さは、それぞれ0.35μm, 2μm程度である。

また、Si基板100内におけるトレンチ103によって挟まれる領域にコレクタ層102が設けられており、Si基板100内のコレクタ層102とはシャロートレンチ103により分離された領域には、レトログレードウェル101を介してコレクタ層102の電極とコンタクトするためのN+コレクタ引き出し層107が設けられている。

また、Si基板100の上には、コレクタ開口部110を有する厚さ約30nmの第1の堆積酸化膜108が設けられていて、Si基板100の上面のうちコレクタ開口部110に露出する部分の上には、P型不純物がドープされた厚さ約

80 nmのSi_{1-x}Ge_x層と厚さ約40 nmのSi膜とが積層されてなるSi/Si_{1-x}Ge_x層111が設けられている。このSi/Si_{1-x}Ge_x層111は、選択成長により、Si基板100のうちコレクタ開口部110に露出している部分の上のみに形成されている。そして、Si/Si_{1-x}Ge_x層111のうちの中央部（後述するベース開口部118の下方領域）の下部が内部ベース119として機能している。また、Si/Si_{1-x}Ge_x層111の中央部の上部がエミッタ層として機能している。Si/Si_{1-x}Ge_x層111の詳細な構造については後述する。また、Si/Si_{1-x}Ge_x層111及びレトログレードウェル101の表面部に亘って、ボロンイオンの注入による外部ベース注入領域Riiが形成されており、外部ベース注入領域Riiの一部として、レトログレードウェル101の表面部に、濃度が 3×10^{17} atoms · cm⁻³程度の接合リーク防止層113が形成されている。

Si/Si_{1-x}Ge_x層111及び第1の堆積酸化膜108の上には、厚さ約30 nmのエッチストップ用の第2の堆積酸化膜112が設けられていて、第2の堆積酸化膜112には、ベース接合用開口部114及びベース開口部118が形成されている。そして、ベース接合用開口部114を埋めて第2の堆積酸化膜112の上に延びる厚さ約150 nmのP+ポリシリコン層115と第3の堆積酸化膜117とが設けられている。上記Si/Si_{1-x}Ge_x層111のうちベース開口部118の下方領域を除く部分とP+ポリシリコン層115とによって外部ベース116が構成されている。

また、P+ポリシリコン層115及び第3の堆積酸化膜117のうち、第2の堆積酸化膜112のベース開口部118の上方に位置する部分は開口されていて、P+ポリシリコン層115の側面には厚さ約30 nmの第4の堆積酸化膜120が形成されており、さらに、第4の堆積酸化膜120の上に厚さ約100 nmのポリシリコンからなるサイドウォール121が設けられている。そして、ベース開口部118を埋めて第3の堆積酸化膜117の上に延びるN+ポリシリコン層129が設けられており、このN+ポリシリコン層129はエミッタ引き出し電極として機能する。上記第4の堆積酸化膜120によって、P+ポリシリコン層115とN+ポリシリコン層129とが電気的に絶縁されるとともに、P+ポ

リシリコン層115からN+ポリシリコン層129への不純物の拡散が阻止されている。また、第3の堆積酸化膜117によって、P+ポリシリコン層115の上面とN+ポリシリコン層129とが絶縁されている。さらに、N+ポリシリコン層129とP+ポリシリコン層115の外側面はサイドウォール123により覆われている。

さらに、コレクタ引き出し層107、P+ポリシリコン層115及びN+ポリシリコン層129の表面には、それぞれTiシリサイド層124が形成されている。

また、基板全体は層間絶縁膜125によって覆われており、層間絶縁膜125を貫通してN+コレクタ引き出し層107、外部ベースの一部であるP+ポリシリコン層115及びエミッタ引き出し電極であるN+ポリシリコン層129上のTiシリサイド層124に到達する接続孔がそれぞれ形成されている。そして、この各接続孔を埋めるWプラグ126と、各Wプラグ126に接続されて、層間絶縁膜125の上に延びる金属配線127とが設けられている。

ここで、図2(a), (b)は、図1中のエミッタ・ベース接合部を拡大して示す部分断面図、及びエミッタ・ベース接合部付近の断面に沿ったボロンの濃度分布を示す図である。図2(a)に示すように、Si/Si_{1-x}Ge_x層111は、Geの含有率が15%であるアンドープの厚み約40nmのSiGeスペーサ層151と、Geの含有率が下端で15%，上端で0となるようにほぼ連続的に変化するとともに、濃度が約 4×10^{18} atoms · cm⁻³のボロンを含む厚み約40nmの傾斜SiGeベース層152と、部分的にボロンがドープされた厚み約40nmのSiキャップ層153とを順次積層して設けられている。そして、Siキャップ層153のうちN+ポリシリコン層129(エミッタ引き出し電極)と接する領域には、N+ポリシリコン層129から高濃度のリンが拡散により導入されてN型のエミッタ拡散層153aが形成されている。エミッタ拡散層153aには、基板の深さ方向に向かって 1×10^{20} atoms · cm⁻³から 1×10^{17} atoms · cm⁻³程度までの分布をもってリンがドーピングされている。

また、図2(b)に示すように、Siキャップ層153の上部には、濃度が約 1×10^{18} atoms · cm⁻³のボロンがドープされ、Siキャップ層153の下部

には傾斜 SiGeベース層 152からの拡散により、濃度が約 2×10^{18} atoms · cm⁻³のボロンがドープされている。一方、Siキャップ層 153の中間部には、ボロンがほとんどドープされていない。そして、エミッタ拡散層 153aとこれを取り囲む周辺層 153bとの間には、pn接合部が形成され、その冶金学的pn接合面を挟んで、第1の空乏層端から第2の空乏層端までの範囲に空乏層 154が形成される。このとき、空乏層 154のうち第2の堆積酸化膜 112に近接する部分は、従来のHBTにおける空乏層 554（図 12 (a) 参照）の形状に比べると中央側にシフトした形状となっている。

このような本発明のSiGe-HBTによると、図 2 (a) に示すように、Siキャップ層 153の上部（第2堆積酸化膜 112の直下の領域）に高濃度のボロンがドープされているので、空乏層 154の幅（第1の空乏層端から第2の空乏層端までの距離），特に、Siキャップ層 153の上部において空乏層幅が縮小されることになる。その結果、空乏層 154においてキャリアが拡散して再結合する量が低減し、再結合電流が低減することになる。

図 11 (b) は、後述する第3の実施形態によって形成された本発明のHBTのベース電流、コレクタ電流のベース・エミッタ電圧に対する依存性（ガンメル特性）を示す図である。同図において、横軸はベース・エミッタ電圧 (V) を表し、縦軸はベース電流又はコレクタ電流 (A) (対数値) を表している。同図に示すように、低バイアス領域から高バイアス領域の広い領域に亘ってベース電流特性線とコレクタ電流特性線との平行関係が比較的良好に維持されている。つまり、リニアリティの良好なHBTが得られることが示されている。

したがって、本発明によると、図 2 (a) に示すように、Siキャップ層 153の上部に比較的高濃度のボロンをドープすることにより、空乏層の広がりを抑制することができる。その結果、空乏層内におけるキャリアの再結合に起因する再結合電流が抑制され、ガンメル特性の改善によりリニアリティの良好なHBTを得ることができるものと考えられる。

また、Siキャップ層 153の上端部において第2の堆積酸化膜 112との界面における界面準位がボロンのドープによって低減している可能性があり、この界面準位の減少がHBTのリニアリティの向上に寄与している可能性も十分あり

得る。ホモSi型のバイポーラトランジスタにおいては、比較的高温の熱処理（例えば900°C程度）のアニールを行なうことにより、第2の堆積酸化膜112とSiキャップ層153との界面準位を低減することが比較的容易であるが、SiGe-HBTにおいては、かかる高温の熱処理が困難であることから、ボロンのドープによる界面準位の低減が実現できれば理想的であるからである。そして、この界面準位の密度を低減することにより、上述の式における再結合確率Uを小さくでき、よりいっそう再結合電流の低減を図ることができる。

なお、上述のような各層の厚さは典型的な値を示しており、HBTの種類や用途に応じて適当な厚さを用いることが可能である。

次に、図1、図2（a）に示す構造を実現するための製造方法に関する各実施形態について説明する。

－第1の実施形態－

まず、第1の実施形態におけるHBTの製造工程の基本的な流れについて、図3（a）～図6（b）を参照しながら説明する。

まず、図3（a）に示す工程で、（001）面を主面とするSi基板100の上部に、N型不純物をドープしながらSi単結晶層をエピタキシャル成長させる、あるいは、エピタキシャル成長後に高エネルギーのイオン注入を行なうことにより、深さ約1μmのN型のレトログレードウェル101を形成する。ただし、エピタキシャル成長を行なわずにSi基板100の一部にイオン注入を行なうことによりレトログレードウェル101を形成することも可能である。このとき、Si基板100の表面付近の領域は、HBTのコレクタ層となるためにN型の不純物濃度を $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 程度に調整しておく。

次に、素子分離として、酸化シリコンが埋め込まれたシャロートレンチ103と、アンドープポリシリコン膜105及びこれを取り囲むシリコン酸化膜106により構成されるディープトレンチ104とを形成する。各トレンチ103、104の深さは、それぞれ0.35μm、2μm程度としておく。Si基板100内におけるシャロートレンチ103同士によって挟まれる領域がコレクタ層102となる。また、Si基板100内のコレクタ層102とはシャロートレンチ103により分離された領域に、コレクタ電極とコンタクトするためのN+コレク

タ引き出し層 107 を形成する。

この後、図示されていないが、標準的な製造方法により、CMOS デバイスの各 MISFET の基本構造であるゲート絶縁膜、ゲート電極、ソース・ドレイン領域などを形成する。

次に、図 3 (b) に示す工程で、テトラエトキシシラン (TEOS) と酸素を用いた化学気相成長法 (CVD) を処理温度 680°C で行なって、ウェハ上に厚さが約 30 nm の第 1 の堆積酸化膜 108 を形成した後、フッ酸等のウェットエッチングにより、第 1 の堆積酸化膜 108 に活性領域の幅よりも広い幅を有するコレクタ開口部 110 を形成する。つまり、シャロートレンチ 103 と Si 基板 100 との表面部における境界を含むようにコレクタ開口部 110 を形成することにより、コレクタ開口部 110 の幅を活性領域の幅よりも広くしておく。コレクタ開口部 110 の幅自体は従来の HBT におけるとほぼ同じ程度であるが、シャロートレンチ 103 同士の間隔が従来の HBT におけるよりも狭くなっている結果、コレクタ開口部 110 の幅が活性領域の幅よりも広くなるのである。

次に、Si 基板 100 のコレクタ開口部 110 に露出した部分をアンモニア水と過酸化水素水との混合液によって処理し、その部分に厚さが 1 nm 程度の保護酸化膜を形成した状態で、ウェハを UHV-CVD 装置のチャンバー内に導入する。そして、導入後、水素雰囲気中で熱処理を行うことにより保護酸化膜を除去した後、550°C に加熱しつつジシラン (Si₂H₆)、ゲルマン (GeH₄)、ドーピング用のジボラン (B₂H₆) など含むガスを適宜利用して、後述する各実施形態の方法により、Si 基板 100 のコレクタ開口部 110 に露出している表面の上に、厚さ約 80 nm の Si_{1-x}Ge_x 層をエピタキシャル成長させる。そして、Si_{1-x}Ge_x 層を形成した後、連続してチャンバー内に供給するガスのうちゲルマンの供給を停止し、かつ、適宜ジボランを利用することにより、Si_{1-x}Ge_x 層の上に厚さ約 40 nm の Si 層をエピタキシャル成長させる。この Si_{1-x}Ge_x 層と Si 層により、Si/Si_{1-x}Ge_x 層 111 が形成される。

次に、図 4 (a) に示す工程で、ウェハ上に、エッチストップとなる膜厚 30 nm の第 2 の堆積酸化膜 112 を形成した後、第 2 の堆積酸化膜 112 の上に設

けたレジストマスク Re1を用いて、第2の堆積酸化膜 112をドライエッチングによりバターニングして、ベース接合用開口部 114を形成する。このとき、Si/Si_{1-x}Ge_x層 111の中央部は第2の堆積酸化膜によって覆われており、ベース接合用開口部 114にはSi/Si_{1-x}Ge_x層 111の周辺部と第1の堆積酸化膜 108の一部とが露出している。次に、ベース接合用開口部 114の形成に用いたレジストマスク Re1を用いて、ボロン (B) などのP型の不純物のイオン注入を行い、Si/Si_{1-x}Ge_x層 111及びレトログレードウェル 101の表面部に直って外部ベース注入領域 Riiを形成する。このとき、外部ベース注入領域 Riiの一部として、レトログレードウェル 101の表面部に、濃度が 3×10^{17} atoms · cm⁻³程度の接合リーク防止層 113が形成されている。

次に、図4 (b) に示す工程で、CVDにより、ウエハ上に 1×10^{20} atoms · cm⁻³以上の高濃度にドープされた厚さ約 150 nm のP+ポリシリコン層 115を堆積し、続いて、厚さ約 100 nm の第3の堆積酸化膜 117を堆積する。次に、ドライエッチングにより、第3の堆積酸化膜 117とP+ポリシリコン層 115とをバターニングして、第3の堆積酸化膜 117とP+ポリシリコン層 115との中央部に第2の堆積酸化膜 112に達するベース開口部 118を形成する。このベース開口部 118は第2の堆積酸化膜 112の中央部よりも小さく、ベース開口部 118がベース接合用開口部 114に跨ることはない。この工程により、P+ポリシリコン層 115とSi/Si_{1-x}Ge_x層 111の中央部を除く部分とによって構成される外部ベース 116が形成される。

次に、図5 (a) に示す工程で、CVDにより、ウエハの全面上に厚さ約 30 nm の堆積酸化膜と厚さ約 150 nm のポリシリコン膜とを堆積する。そして、異方性ドライエッチングにより、堆積酸化膜及びポリシリコン膜をエッチバックして、P+ポリシリコン層 115及び第3の堆積酸化膜 117の側面上に第4の堆積酸化膜 120を挟んでポリシリコンからなるサイドウォール 121を形成する。次に、フッ酸等によるウエットエッチングを行い、第2の堆積酸化膜 112及び第4の堆積酸化膜 120のうち露出している部分を除去する。このとき、ベース開口部 118においては、Si/Si_{1-x}Ge_x層 111の上部のSi層が露出する。また、ウエットエッチングは等方性であることから第2の堆積酸化膜

112及び第4の堆積酸化膜120が横方向にもエッティングされ、ベース開口部118の寸法が拡大する。つまり、このときのウェットエッティングの量によってベース開口幅が決まる。このウェットエッティングの際、第1の堆積酸化膜108にSiGeアイランド111が付着していたとしても、Si基板100のうちN+コレクタ引き出し層107などは、P+ポリシリコン層115などによって覆われているので、Si基板100の表面が露出することはない。

次に、図5(b)に示す工程で、厚さが約250nmのN+ポリシリコン層129を堆積した後、ドライエッティングによってN+ポリシリコン層129をバターニングすることにより、エミッタ引き出し電極を形成する。このとき、P+ポリシリコン層115の外側はバターニングされていないので、側方にポリシリコンからなるサイドウォールが形成されることはない。また、N+コレクタ引き出し層107などの表面が、N+ポリシリコン層129のオーバーエッティングによってエッティングされることないので、Si基板100の表面に凹凸が形成されることもない。

次に、図6(a)に示す工程で、ドライエッティングにより、第3の堆積酸化膜117、P+ポリシリコン層115及び第2の堆積酸化膜112をバターニングして、外部ベース116の形状を決定する。

次に、図6(b)に示す工程で、ウェハ上に厚さが約120nmの堆積酸化膜を形成した後、ドライエッティングを行なって、N+ポリシリコン層129とP+ポリシリコン層115の側面にサイドウォール123を形成する。このときのドライエッティング(オーバーエッティング)によって、第1の堆積酸化膜108の露出している部分を除去して、N+ポリシリコン層129、P+ポリシリコン層115及びN+コレクタ引き出し層107の表面を露出させる。

さらに、図1に示す構造を得るために、以下の処理を行なう。まず、スパッタリングによって、ウェハの全面上に厚さが約40nmのTi膜を堆積した後、675°C、30secのRTA(短時間アニール)を行なうことにより、N+ポリシリコン層129、P+ポリシリコン層115及びN+コレクタ引き出し層107の露出している表面にTiシリサイド層124を形成する。その後、Ti膜の未反応部分のみを選択的に除去した後、Tiシリサイド層124の結晶構造を変

化させるためのアニールを行なう。

次に、ウエハの全面上に層間絶縁膜125を形成し、層間絶縁膜125を貫通してN+ポリシリコン層129、P+ポリシリコン層115及びN+コレクタ引き出し層107上のTiシリサイド層124に到達する接続孔を形成する。そして、各接続孔内にW膜を埋め込んでWプラグ126を形成した後、ウエハの全面上にアルミニウム合金膜を堆積した後、これをパターニングして、各Wプラグ126に接続され、層間絶縁膜125の上に延びる金属配線127を形成する。

以上の工程により、図1に示す構造を有するHBT、つまり、N型Siからなるコレクタと、P+型Si_{1-x}Ge_xからなるベースと、N+型Siからなるエミッタとを備えたHBTが形成される。なお、Si/Si_{1-x}Ge_x層111のうちSi層には、N+ポリシリコン層129から高濃度のN型不純物（リンなどが拡散して、N+型Si層になっている。

次に、本実施形態における特徴点であるSi/Si_{1-x}Ge_x層111を形成する工程について、図7(a), (b)を参照しながら説明する。図7(a), (b)は、上述の製造工程中の図3(b)に示す工程におけるエミッタ・ベース接合部の構造を拡大して示す部分断面図、及びその断面に沿ったボロンの濃度分布を示す図である。

まず、Si基板100のコレクタ開口部110に露出した部分をアンモニア水と過酸化水素水との混合液によって処理し、その部分に厚さが1nm程度の保護酸化膜を形成した状態で、ウエハをUHV-CVD装置のチャンバー内に導入する。そして、チャンバーへのウエハの導入後、真空雰囲気中でウエハを850°Cに2分間加熱することにより保護酸化膜を除去する。次に、チャンバー内で、ウエハ温度を550°Cに降下させて、ジシラン(Si₂H₆)とゲルマン(GeH₄)との流量をそれぞれ0.021/min, 0.031/minとし、圧力を約0.067Paとして、この状態を2分40秒間維持することにより、ウエハ上に厚みが約40nmのアンドープのSiGeスペーサ層151を形成する。このとき、SiGeスペーサ層151の成長速度は約15nm/minである。

続いて、チャンバー内の温度、圧力及びジシラン(Si₂H₆)流量をそのまま維持しながら、濃度5%の水素希釈ジボラン(B₂H₆)を流量4sccmで

チャンバー内に導入する。そして、4分間にゲルマン（GeH₄）の流量を0.031/minから0.1/minに連続的に変化させることにより、混晶Si_{1-x}Ge_x中のGeの含有率xが15%から0%に変化している厚みが約40nmの傾斜SiGeベース層152をエピタキシャル成長させる。このとき、傾斜SiGeベース層152の平均的な成長速度は約10nm/minで、ボロンの濃度が約 4×10^{18} atoms · cm⁻³である。

次に、チャンバー内の温度、圧力及びジシラン（Si₂H₆）流量を変えずにゲルマン（GeH₄）を流すことなく、水素希釈ジボラン（B₂H₆）の供給を停止させ、この状態を15分間維持することにより、厚みが約30nmのアンドープSi層161をエピタキシャル成長させる。このとき、アンドープSi層161の成長速度は約2nm/minである。

その後、再び、濃度5%の水素希釈ジボラン（B₂H₆）を流量0.0011/minでチャンバー内に流し、この状態を5分間維持することにより、厚み約10nmのドープトSi層162をエピタキシャル成長させる。このとき、ドープトSi層162の成長速度は約2nm/minで、ボロンの濃度が約 1×10^{18} atoms · cm⁻³である。

上記工程が終了した結果、アンドープSi層161、ドープトSi層162により、Siキャップ層153が形成される。また、SiGeスペーサ層151、傾斜SiGeベース層152及びSiキャップ層153により、Si/Si_{1-x}Ge_x層111が形成される。

図7(b)は、Si/Si_{1-x}Ge_x層111の形成直後であって熱処理前ににおけるボロンの濃度プロファイルを示している。この状態においては、傾斜SiGeベース層152やSiキャップ層153中のドープトSi層162のみに高濃度のボロンが存在するきわめて急峻な濃度プロファイルが現れている。

そして、その後各工程における加熱処理が入ることによって、傾斜SiGeベース層152やSiキャップ層153中のドープトSi層162にドープされたボロンが拡散し、最終的には、図2(b)に示すようなボロンの濃度プロファイルが得られる。

本実施形態においては、Siキャップ層の形成の際にボロンをドープする、つ

まり in-situ ドープによる CVD を行なう点が特徴である。そして、本実施形態によると、in-situ ドープによって、Si キャップ層 153 の上部にドープされるボロンの濃度を、比較的高精度で制御することができる。

－第 2 の実施形態－

本実施形態においても、基本的な HBT の製造工程の流れは、第 1 の実施形態において説明した図 2 (a) ~ 図 6 (b) に示す通りである。

本実施形態においては、図 4 (a) に示す工程を以下のように行なう点が特徴である。図 8 (a), (b) は、上述の製造工程中の図 4 (a) に示す工程におけるエミッタ・ベース接合部の構造を拡大して示す部分断面図、及びその断面に沿ったボロンの濃度分布を示す図である。

本実施形態においては、第 1 の実施形態において説明した通りの処理を行なつて、コレクタ層 102 の上に、厚みが約 40 nm のアンドープの SiGe スペーサ層 151 と、厚みが約 40 nm で濃度が約 $4 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ のボロンを含む傾斜 SiGe ベース層 152 を形成する。

次に、チャンバー内の温度、圧力及びジシラン (Si₂H₆) 流量を傾斜 SiGe ベース層 152 の形成時から変えずにゲルマン (GeH₄) を流すことなく、水素希釈ジボラン (B₂H₆) の供給を停止させ、この状態を 20 分間維持することにより、厚みが約 40 nm の Si キャップ層 153 をエピタキシャル成長させる。

次に、第 1 の実施形態における第 2 の堆積酸化膜 112 に代えて、ボロンがドープされたシリコン酸化膜 (BSG 膜) からなる第 2 の堆積酸化膜 171 を Si キャップ層 153 の上に堆積する。このとき、常圧 CVD 装置のチャンバー内において、ウエハを 400 °C に昇温させた後、常圧下において、テトラエトキシシラン (TEOS) を流量 1.5 l/min で、トリエトキシボロン (TEB) を流量 1.5 l/min で、濃度 85 g/Nm³ のオゾンを含む O₂ を流量 7.5 l/min で、N₂ を流用 18.0 l/min で流し、この状態を 15 秒間維持することにより、3 wt % のボロンを含む厚み約 30 nm の第 2 の堆積酸化膜 171 を形成する。

図 8 (b) は、このときの縦断面におけるボロンの濃度プロファイルを示す図

である。この状態では、Siキャップ層153内にはボロンがドープされていないが、その後の工程における加熱処理によって、第2の堆積酸化膜171中のボロンがSiキャップ層153の上部に拡散するので、最終的には、図2(a)に示すようなボロンの濃度プロファイルが得られる。

その後、図4(a)に示す工程と同様に、第2の堆積酸化膜171にベース接合用開口部114を形成した後、図4(b)～図6(b)に示す工程を行なうことにより、図1に示す構造を有するHBTが得られる。

ここで、PNPバイポーラトランジスタにおいては、第2の堆積酸化膜171としてPSG膜を用いることは言うまでもない。

本実施形態によると、比較的簡素な工程でSiキャップ層153にボロンをドープすることができる。特に、Siキャップ層153の上端部のうち第2の堆積酸化膜112との界面における界面準位を低減しうる可能性が高いと考えられる。

－第3の実施形態－

本実施形態においても、基本的なHBTの製造工程の流れは、第1の実施形態において説明した図2(a)～図6(b)に示す通りである。

本実施形態においては、図4(a), (b)に示す工程を以下のように行なう点が特徴である。図9(a), (b)は、上述の製造工程中の図4(a), (b)に示す工程におけるエミッタ・ベース接合部の構造を拡大して示す部分断面図、及びその断面に沿ったボロンの濃度分布を示す図である。

本実施形態においては、第1の実施形態において説明した通りの処理を行なって、コレクタ層102の上に、厚みが約40nmのアンドープのSiGeスペーサ層151と、厚みが約40nmで濃度が約 4×10^{18} atoms \cdot cm $^{-3}$ のボロンを含む傾斜SiGeベース層152とを形成する。

次に、チャンバー内の温度、圧力及びジシラン(Si $_2$ H $_6$)流量を傾斜SiGeベース層152の形成時から変えずにゲルマン(GeH $_4$)を流すことなく、水素希釈ジボラン(B $_2$ H $_6$)の供給を停止させ、この状態を20分間維持することにより、厚みが約40nmのSiキャップ層153をエピタキシャル成長させる。

次に、第1の実施形態とほぼ同様の処理を行なって、ウェハ上に、エッチストップとなる第2の堆積酸化膜112を形成する。このとき、本実施形態においては、第2の堆積酸化膜112の厚みを10nmとしておく。

次に、第1の実施形態において説明した処理によって、第2の堆積酸化膜112のパターニングによるベース接合用開口部114の形成と、ベース接合用開口部114の形成に用いたレジストマスクを用いたボロン(B)のイオン注入を行なう。

次に、図4(b)に示す工程で説明したように、CVDにより、ウェハ上に厚さ約150nmのP+ポリシリコン層115を堆積するが、本実施形態においては、P+ポリシリコン層115中のボロンの濃度を $2 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$ 以上とする。このボロンの濃度は、アンドープのポリシリコン膜を堆積した後、ポリシリコン膜に、加速電圧が約8keV、ドーザ量が約 $5 \times 10^{15} \text{ atoms s} \cdot \text{cm}^{-2}$ の条件でボロンイオンを注入することにより実現することができる。ただし、ポリシリコン膜の堆積時にin-situドープを行なってもよい。続いて、第1の実施形態と同様の処理により、第3の堆積酸化膜117(図4(b)参照)の堆積と、第3の堆積酸化膜117とP+ポリシリコン層115とのパターニングによるベース開口部118の形成とを行ない、P+ポリシリコン層115とSi/Si_{1-x}Ge_x層111の中央部を除く部分とによって構成される外部ベース116(図4(b)参照)を形成する。

図9(b)は、このときの縦断面におけるボロンの濃度プロファイルを示す図である。この状態では、Siキャップ層153内にはボロンがドープされておらず、第2の堆積酸化膜112を隔てて設けられたP+ポリシリコン層115(外部ベース層116の一部)に高濃度のボロンがドープされているだけであるが、その後の工程における加熱処理によって、P+ポリシリコン層115中のボロンが、第2の堆積酸化膜112を通過してSiキャップ層153の上部に拡散するので、最終的には、図2(a)に示すようなボロンの濃度プロファイルが得られる。

その後、図5(a)～図6(b)に示す工程を行なうことにより、図1に示す構造を有するHBTが得られる。

本実施形態によると、ベース開口部 118 が形成された状態で、P+ ポリシリコン層 115 から Si キャップ層 153 の上部にボロンをドープするようにしているので、Si キャップ層 153 のうちベース開口部 118 直下の領域であるエミッタ拡散層 153a を除く領域にのみボロンを導入することができ、エミッタ拡散層 153a にドープするリンとの濃度関係を考慮する必要がない。したがって、Si キャップ層 153 の上部におけるボロンの濃度を、もっとも好ましい濃度に調整することができる利点がある。

－ その他の実施形態 –

尚、上記各実施形態においては、ダブルポリシリコン型の HBT に本発明を適用した場合について説明したが、本発明はかかる実施形態に限定されるものではなく、第 1、第 2 の実施形態は、シングルポリシリコン型の HBT に適用することが可能である。その場合、N+ ポリシリコン層 115 を設けずに、Si/Si_{1-x}Ge 層 111 を第 1 の堆積酸化膜 108 の上まで延びる構造として、第 2 の堆積酸化膜 112 のうちベース開口部 118 を囲む部分以外の部分を除去しておけばよい。このとき、Si/Si_{1-x}Ge 層 111 のうち第 1 の堆積酸化膜 108 の上に位置する部分は単結晶ではなく多結晶構造となるが、この部分は外部ベースとして機能する部分であるので、単に抵抗体として機能すればよく、HBT としての動作や特性に不具合は生じない。

上記各実施形態の方法においては、図 2 (b) に示すように、Si キャップ層 153 の下部にもボロンが拡散によりドープされるが、各実施形態において、Si キャップ層 153 の下部にも in-situ ドープによってボロンをドープしてもよい。

なお、上記各実施形態においては、NPN 型の HBT を例にとって説明したが、本発明は PNP 型の HBT に対しても適用できることはいうまでもない。その場合、HBT の各部の導電型や、HBT の各部にドープする不純物の導電型は上記各実施形態とは逆の導電型になる。

また、本発明の SiGe-HBT と Si-CMOSFET とを共通の Si 基板上に形成してなるいわゆる BiCMOS デバイスを得ることも可能である。

上記各実施形態における SiGe スペーサ層や、傾斜 SiGe ベース層に代え

て、SiGeCスペーサ層や、傾斜SiGeCベース層を設けてよい。

第1～第3の実施形態におけるSi/Si_{1-x}Ge_x層111が第1の堆積酸化膜108の上に延びていてよい。

－構造の変形例－

図1に示す構造においては、ベース層をSi_{1-x}Ge_x層(0≤x<1)により構成したが、ベース層をSi_{1-x}Ge_x層の代わりにSi_{1-x-y}Ge_xC_y層(0≤x, y<1)やSi_{1-y}C_y層(0≤y<1)により構成してもよい。また、エミッタ、コレクタのうち少なくともいずれか1つをSi_{1-x}Ge_x層, Si_{1-x-y}Ge_xC_y層又はSi_{1-y}C_y層により構成してもよい。

図13は、基本構造におけるSi_{1-x}Ge_x層に代えてSi_{1-x-y}Ge_xC_y層を設けた変形例に係るヘテロバイポーラトランジスタ(HBT)の断面図である。この変形例におけるHBTの構造は、上記図1に示すHBTの構造とほとんど同じであるが、以下の点だけが異なっている。

Si基板100の上面のうちコレクタ開口部110に露出する部分の上には、P型不純物がドープされた厚さ約80nmのSi_{1-x-y}Ge_xC_y層と厚さ約40nmのSi膜とが積層されてなるSi/Si_{1-x-y}Ge_xC_y層211が設けられている。このSi/Si_{1-x-y}Ge_xC_y層211は、選択成長により、Si基板100のうちコレクタ開口部110に露出している部分の上のみに形成されている。そして、Si/Si_{1-x}Ge_xC_y層211のうちの中央部(後述するベース開口部118の下方領域)の下部が内部ベース219として機能している。また、Si/Si_{1-x}Ge_xC_y層211の中央部の上部がエミッタ層として機能している。Si/Si_{1-x}Ge_xC_y層211の詳細な構造については、すでに説明した第1～第3の実施形態のような不純物プロファイルの適用が可能である。また、Si/Si_{1-x}Ge_xC_y層211及びレトログレードウェル101の表面部に亘って、ボロンイオンの注入による外部ベース注入領域Riiが形成されている。Si/Si_{1-x}Ge_xC_y層211及び第1の堆積酸化膜108の上には、厚さ約30nmのエッチストップ用の第2の堆積酸化膜112が設けられていて、第2の堆積酸化膜112には、ベース接合用開口部114及びベース開口部118が形成されている。そして、ベース接合用開口部114を埋めて

第2の堆積酸化膜112の上に延びる厚さ約150nmのP+ポリシリコン層115と第3の堆積酸化膜117とが設けられている。上記Si_{1-x}Ge_xC_y層211のうちベース開口部118の下方領域を除く部分とP+ポリシリコン層115とによって外部ベース216が構成されている。

図13に示されるその他の部材は、図1に示す構造と同じであるので、図1と同じ符号を付して説明を省略する。製造工程においては、第1～第3の実施形態におけるSi_{1-x}Ge_x層のエピタキシャル成長に代えて、Si_{1-x-y}Ge_xC_y層のエピタキシャル成長を行なう。

産業上の利用可能性

本発明の半導体装置は、電子機器に搭載されるバイポーラトランジスタなどのデバイス、特に、高周波信号を扱うデバイスに利用される。

請求の範囲

1. 基板上に設けられ、第1導電型不純物を含むコレクタ層となる第1の半導体層と、

上記第1の半導体層の上に設けられ、第2導電型不純物を含むベース層となる第2の半導体層と、

上記第2の半導体層の上に設けられ、上記第2の半導体層とはバンドギャップが異なる材料からなる第3の半導体層と、

上記第3の半導体層の上に設けられた絶縁膜と、

上記絶縁膜に設けられ、上記第3の半導体層に達する開口部と、

導体材料により構成され、上記絶縁膜の開口部を埋めて上記第3の半導体層に接触するエミッタ引き出し電極とを備え、

上記第3の半導体層は、上記開口部の下方に位置する第1導電型のエミッタ拡散層と、該エミッタ拡散層の側方に位置する領域において少なくとも上部に第2導電型不純物を含む周辺層とを有しているバイポーラトランジスタ。

2. 請求項1のバイポーラトランジスタにおいて、

上記絶縁膜は、第2導電型不純物がドープされたシリコン酸化膜により構成されており、

上記第3の半導体層の上部の少なくとも一部に含まれる第2導電型不純物は上記絶縁膜から拡散したものであることを特徴とするバイポーラトランジスタ。

3. 請求項1のバイポーラトランジスタにおいて、

上記第3の半導体層のうち上記下敷き絶縁膜の外方に位置する部分に接し、かつ、上記絶縁膜の上に延びるように設けられ、第2導電型不純物がドープされたベース引き出し電極として機能するポリシリコン膜をさらに備え、

上記第3の半導体層の上部の少なくとも一部に含まれる第2導電型不純物は、上記ポリシリコン膜から上記絶縁膜を通過して拡散したものであることを特徴とするバイポーラトランジスタ。

4. 請求項 1～3 のうちいずれか 1 つのバイポーラトランジスタにおいて、
上記第 3 の半導体層のエミッタ拡散層中の第 1 導電型不純物は、上記エミッタ
引き出し電極から拡散したものであることを特徴とするバイポーラトランジスタ
。

5. 請求項 1～4 のうちいずれか 1 つのバイポーラトランジスタにおいて、
上記基板はシリコン基板であり、
上記第 1 の半導体層は Si 層であり、
上記第 2 の半導体層は SiGe 層又は SiGeC 層であり、
上記第 3 の半導体層は Si 層であることを特徴とするバイポーラトランジスタ
。

6. 基板上の第 1 導電型不純物を含むコレクタ層となる第 1 の半導体層の上に
、第 2 導電型不純物を含むベース層となる第 2 の半導体層を形成する工程 (a)
と、

上記第 2 の半導体層の上に、上記第 2 の半導体層とはバンドギャップが異なる
材料からなり、少なくとも上部に第 2 導電型不純物を含む第 3 の半導体層をエビ
タキシャル成長により形成する工程 (b) と、

上記工程 (b) の後で、基板上に絶縁膜を堆積する工程 (c) と、
上記絶縁膜に上記第 3 の半導体層に達する開口部を形成する工程 (d) と、
上記第 3 の半導体層のうち上記開口部の下方に位置する領域に第 1 導電型不純
物を導入して、エミッタ拡散層を形成する工程 (e) と
を含むバイポーラトランジスタの製造方法。

7. 基板上の第 1 導電型不純物を含むコレクタ層となる第 1 の半導体層の上に
、第 2 導電型不純物を含むベース層となる第 2 の半導体層を形成する工程 (a)
と、
上記第 2 の半導体層の上に、上記第 2 の半導体層とはバンドギャップが異なる

材料からなる第3の半導体層をエピタキシャル成長により形成する工程（b）と、

上記工程（b）の後で、基板上に第2導電型不純物を含む絶縁膜を堆積する工程（c）と、

上記絶縁膜に上記第3の半導体層に達する開口部を形成する工程（d）と、

上記第3の半導体層のうち上記開口部の下方に位置する領域に第1導電型不純物を導入して、エミッタ拡散層を形成する工程（e）とを含み、

上記工程（c）の後の処理により、上記第3の半導体層の上部に上記絶縁膜から第2導電型不純物がドープされることを特徴とするバイポーラトランジスタの製造方法。

8. 基板上の第1導電型不純物を含むコレクタ層となる第1の半導体層の上に、第2導電型不純物を含むベース層となる第2の半導体層を形成する工程（a）と、

上記第2の半導体層の上に、上記第2の半導体層とはバンドギャップが異なる材料からなる第3の半導体層をエピタキシャル成長により形成する工程（b）と、

上記工程（b）の後に、基板上に絶縁膜を堆積する工程（c）と、

基板上に、第2導電型不純物を含む導体膜を堆積した後、該導体膜に上記絶縁膜に到達する開口部を形成する工程（d）と、

上記第1の導体膜の開口部の側面を覆う絶縁性材料からなるサイドウォールを形成する工程（e）と、

上記工程（e）の後に、上記絶縁膜に上記第3の半導体層に達する開口部を形成する工程（f）と、

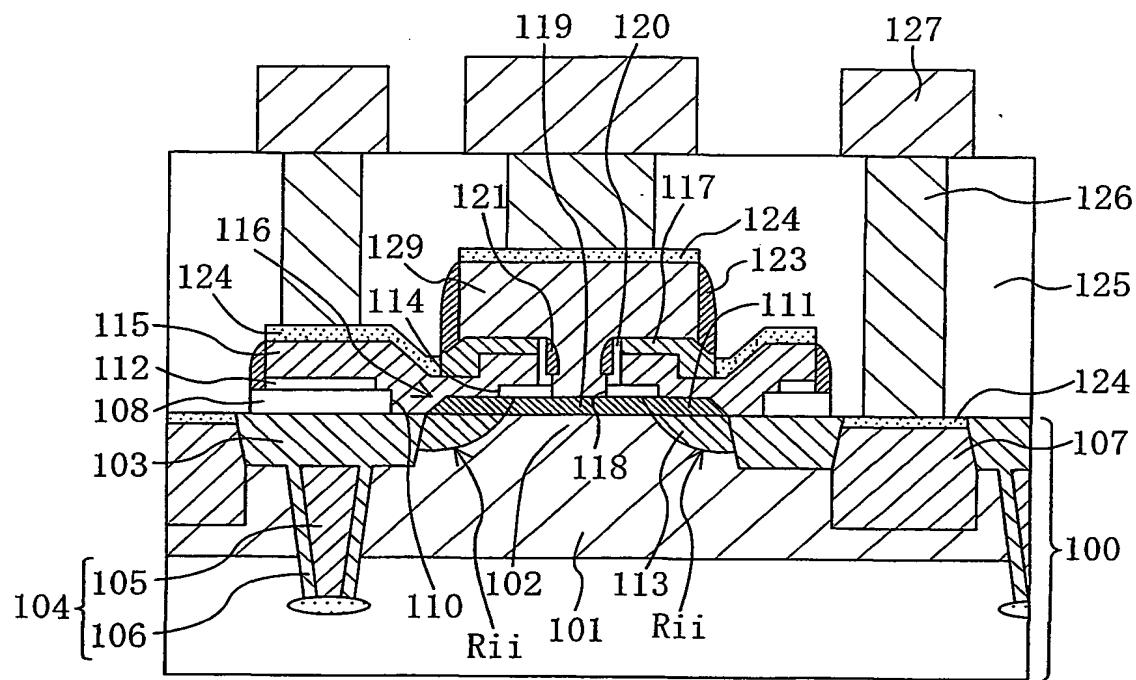
上記第3の半導体層のうち上記開口部の下方に位置する領域に第1導電型不純物を導入して、エミッタ拡散層を形成する工程（g）とを含み、

上記工程（d）の後の処理により、上記第3の半導体層の上部に上記導体膜から上記絶縁膜を通過した第2導電型不純物がドープされることを特徴とするバイポーラトランジスタの製造方法。

9. 請求項 8 のバイポーラトランジスタの製造方法において、

上記工程 (f) の後で上記工程 (g) の前に、基板上に上記導体膜とは別の導体膜を堆積した後、該別の導体膜をパターニングして上記絶縁膜の開口部を埋めて上記絶縁膜の上に延びる第 1 導電型不純物を含むエミッタ引き出し電極を形成する工程をさらに含むことを特徴とするバイポーラトランジスタの製造方法。

FIG. 1



THIS PAGE BLANK (USPTO)

2/13

FIG. 2 (a)

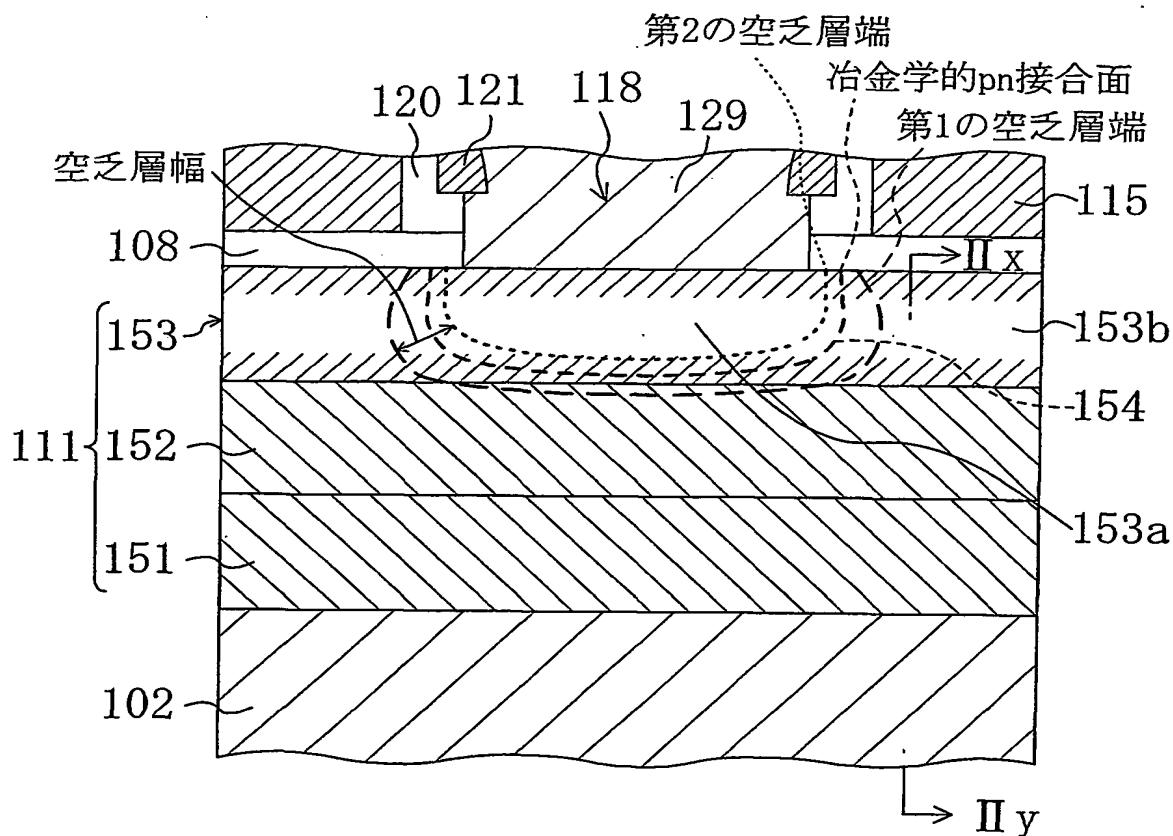
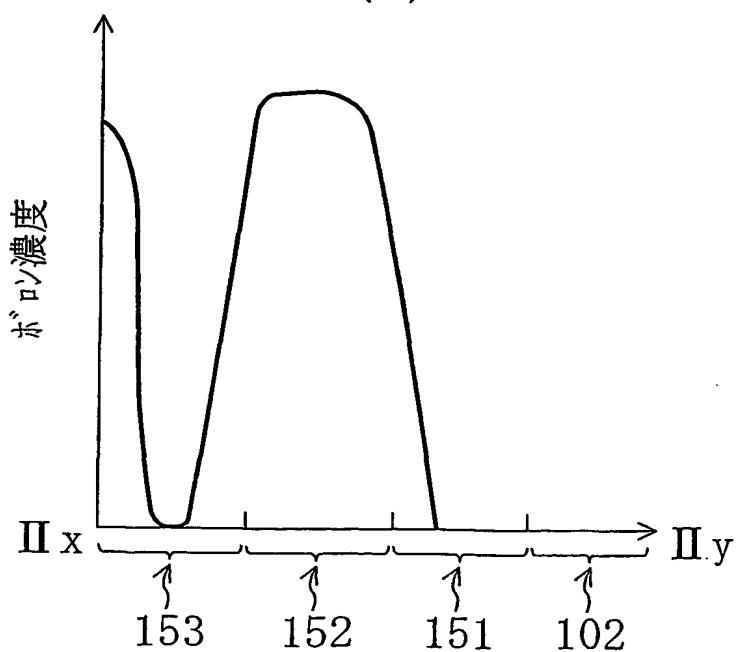


FIG. 2 (b)



THIS PAGE BLANK (USPTO)

3/13

FIG. 3 (a)

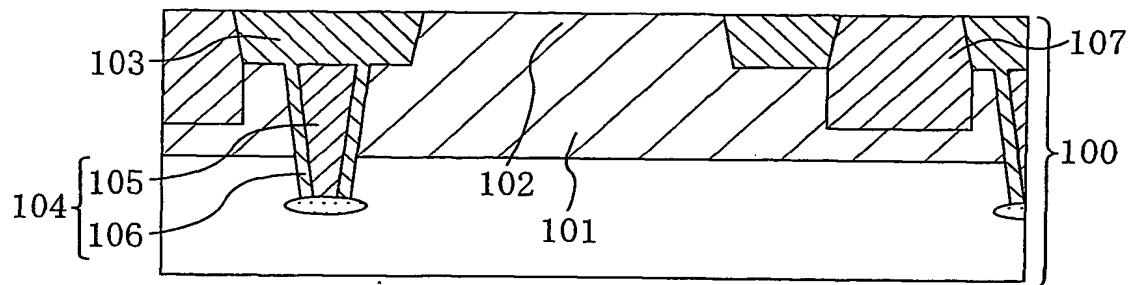
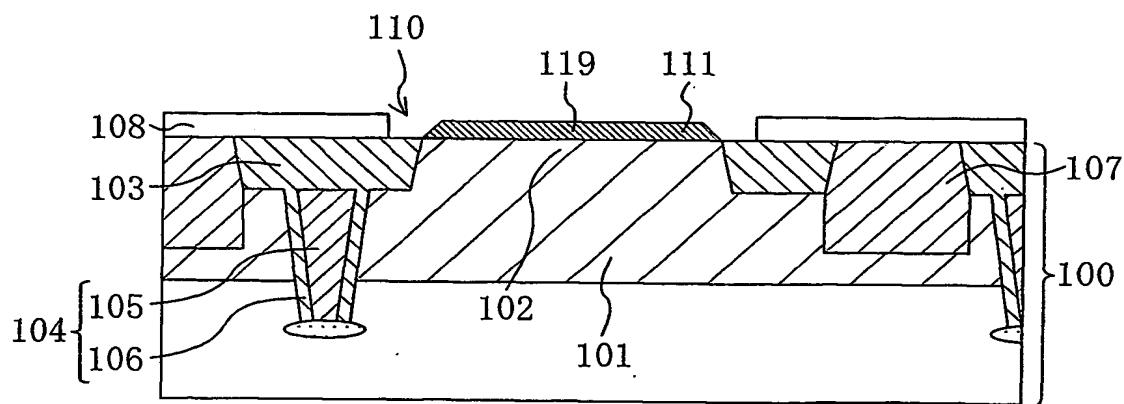


FIG. 3 (b)



THIS PAGE BLANK (USPTO)

4/13

FIG. 4 (a)

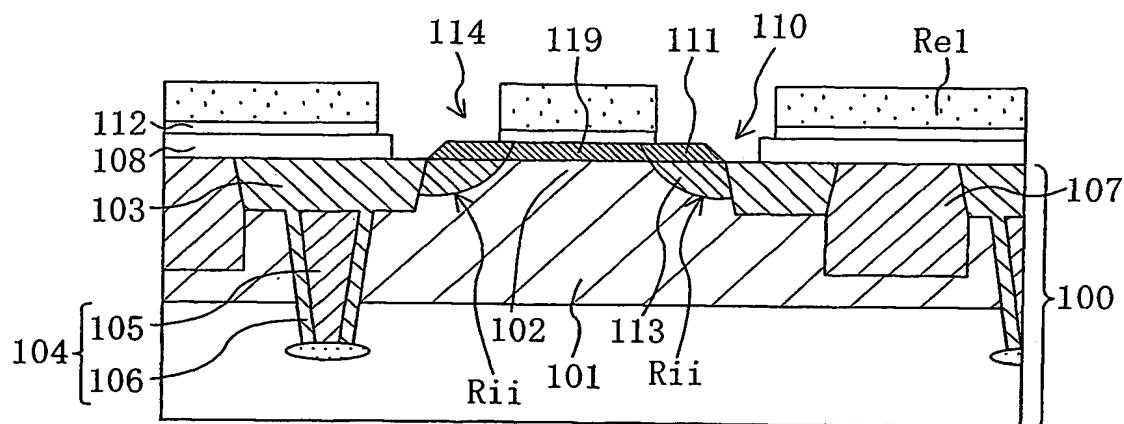
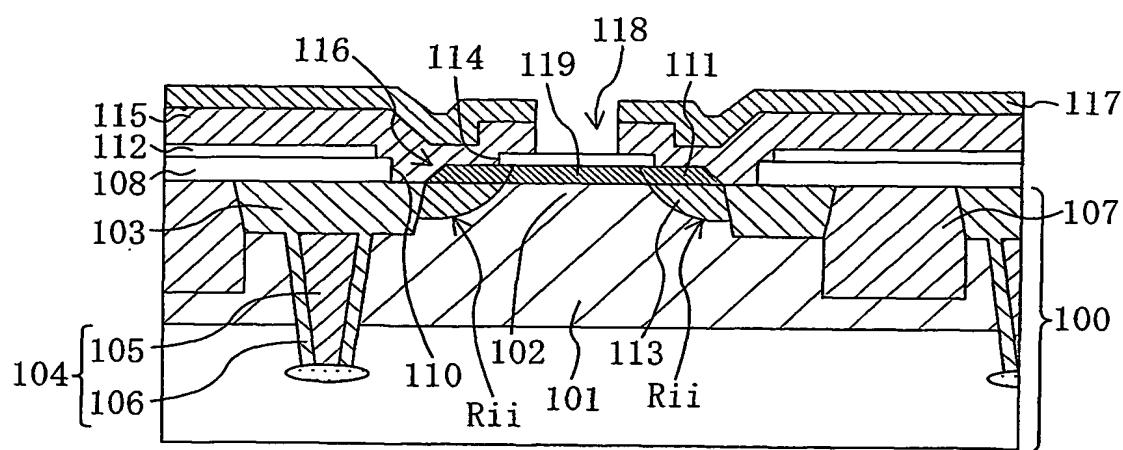


FIG. 4 (b)



THIS PAGE BLANK (USPTO)

5/13

FIG. 5(a)

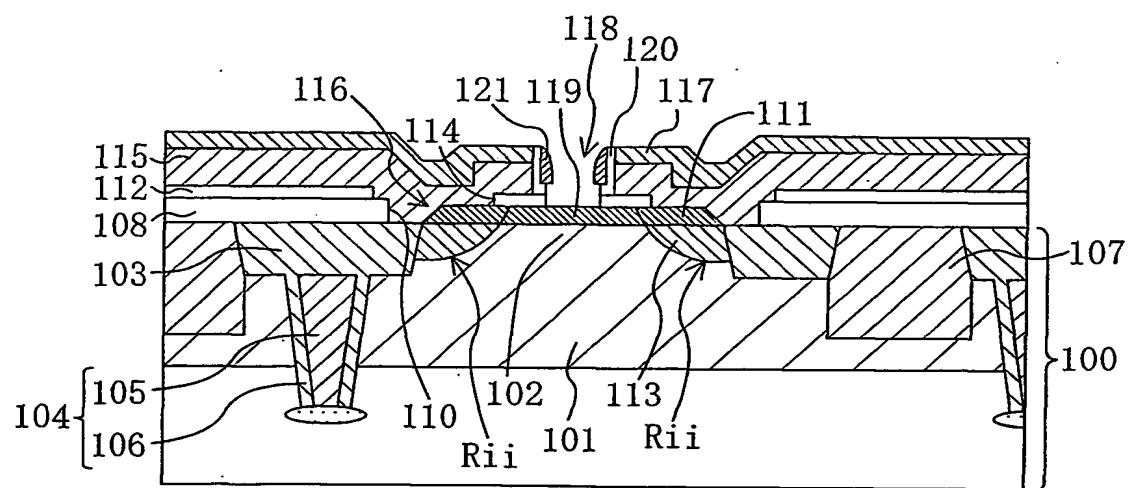
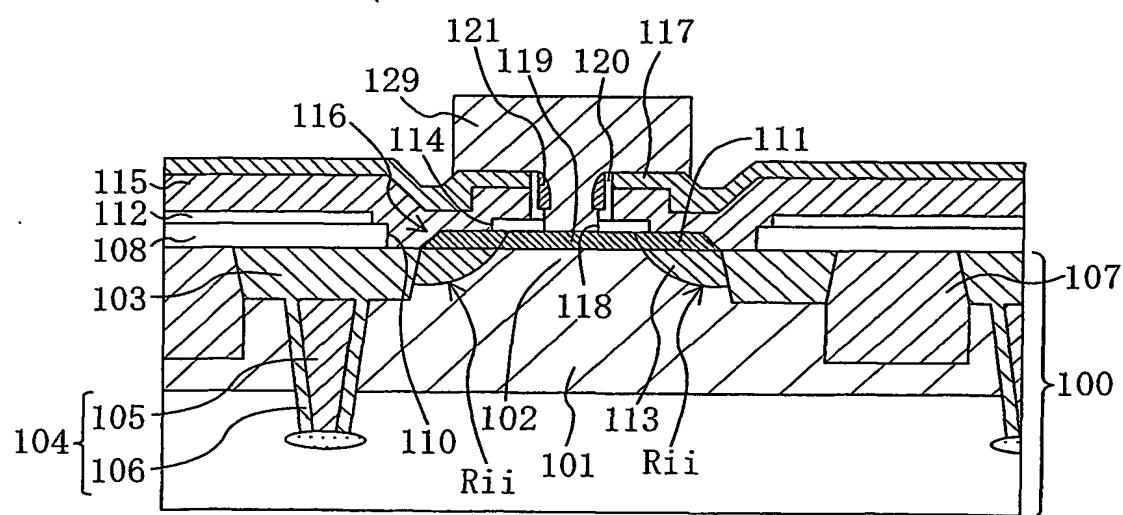


FIG. 5(b)



THIS PAGE BLANK (USPTO)

6/13

FIG. 6(a)

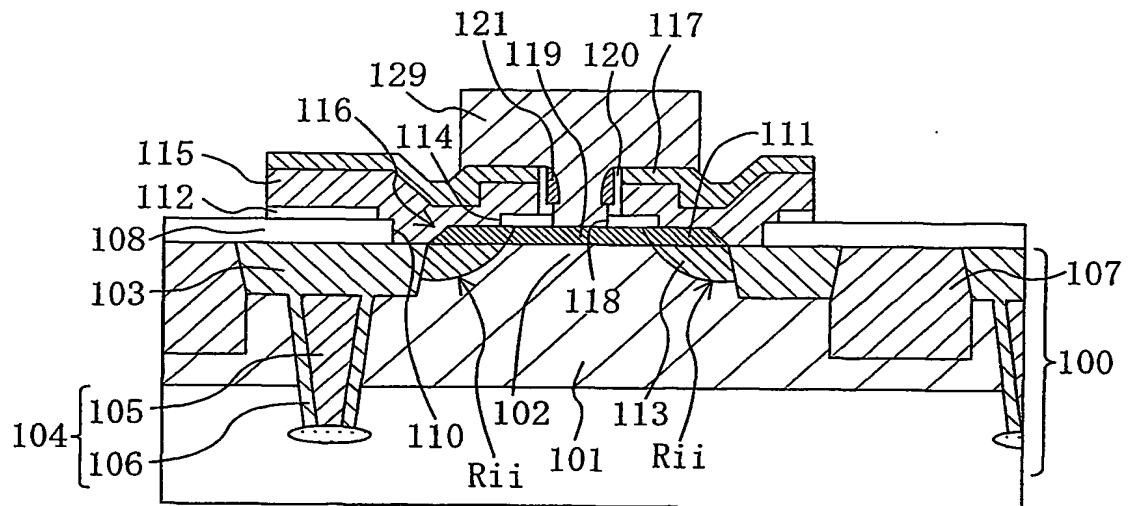
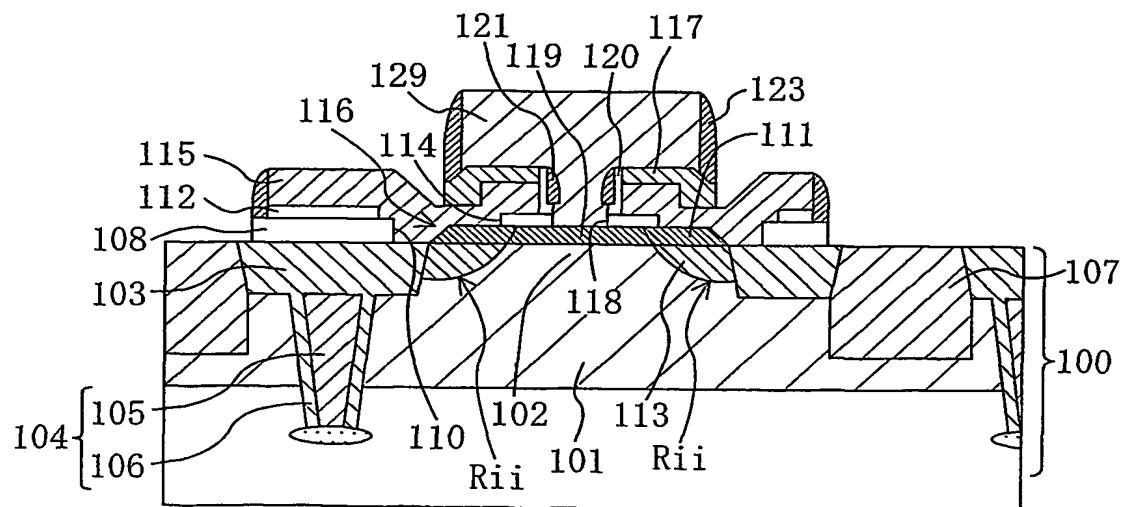


FIG. 6 (b)



THIS PAGE BLANK (USPTO)

7/13

FIG. 7 (a)

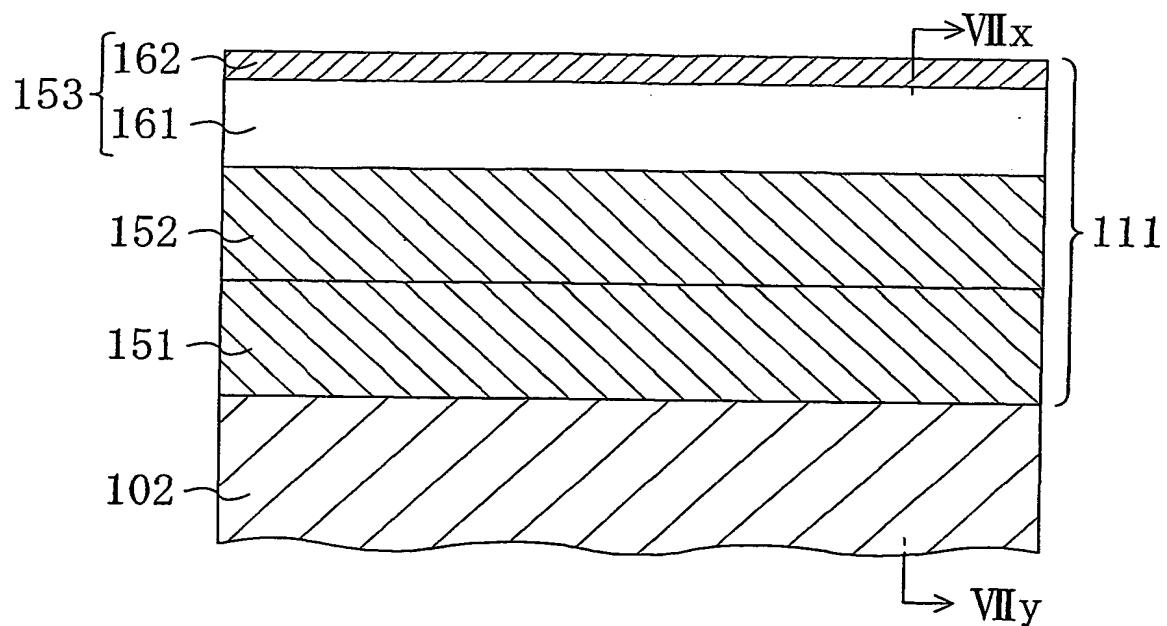
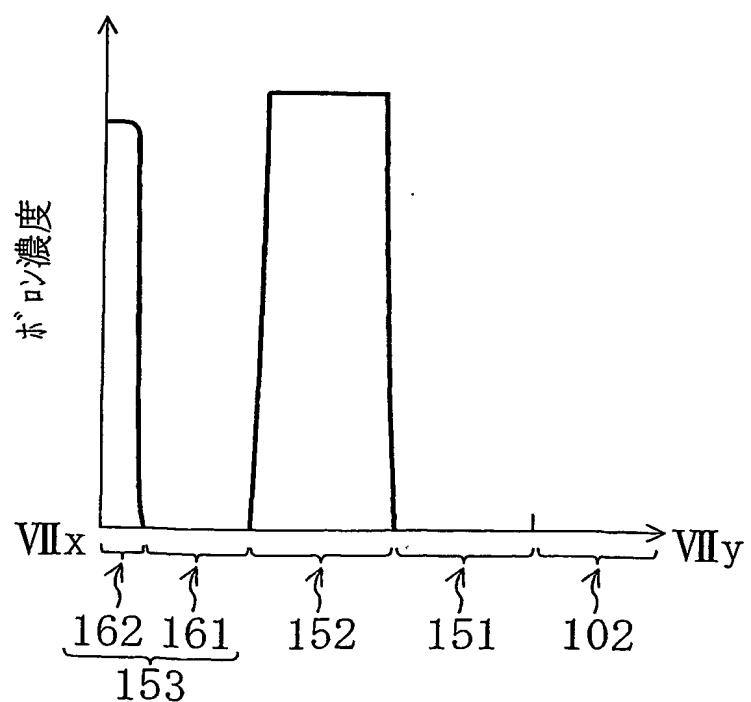


FIG. 7 (b)



THIS PAGE BLANK (USPTO)

8/13

FIG. 8 (a)

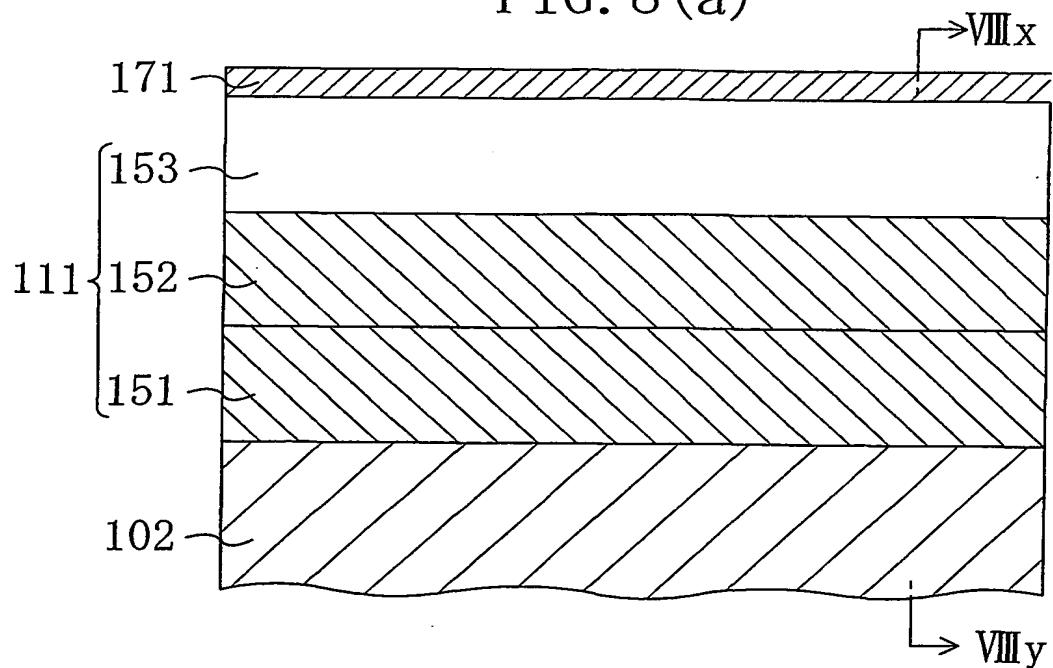
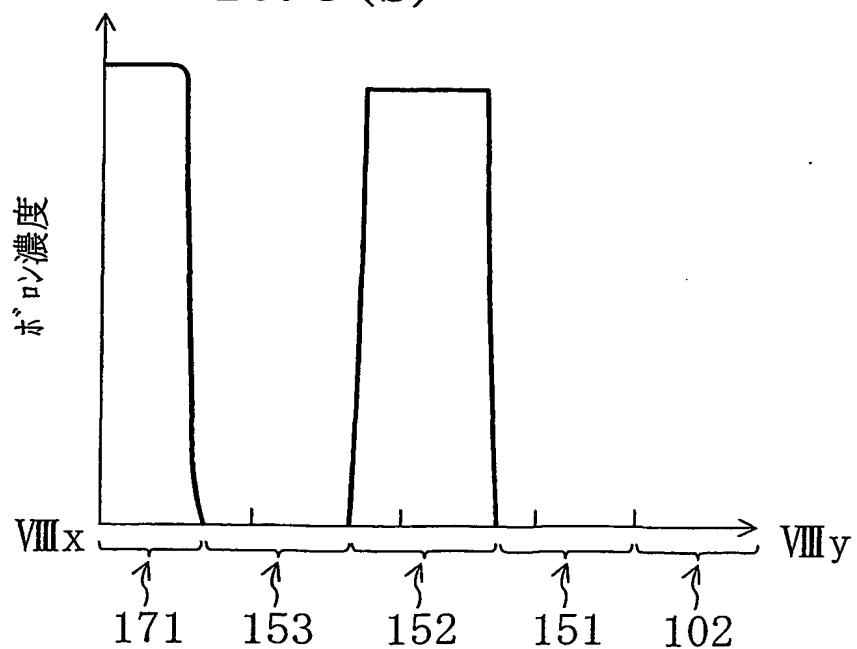


FIG. 8 (b)



THIS PAGE BLANK (USPTO)

9/13

FIG. 9 (a)

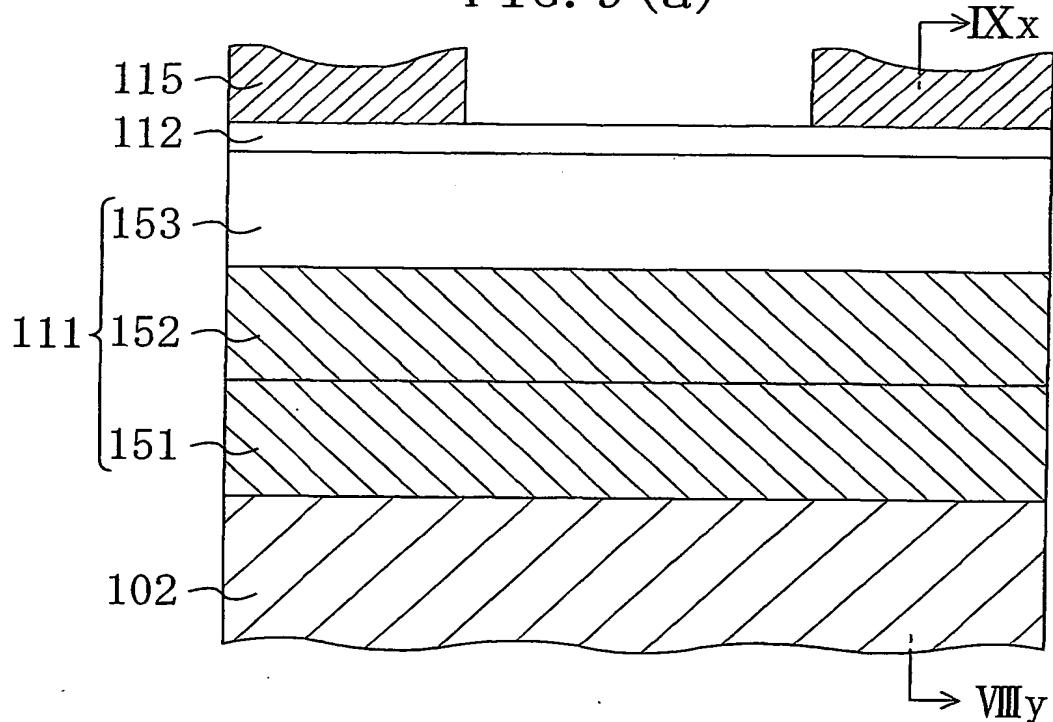
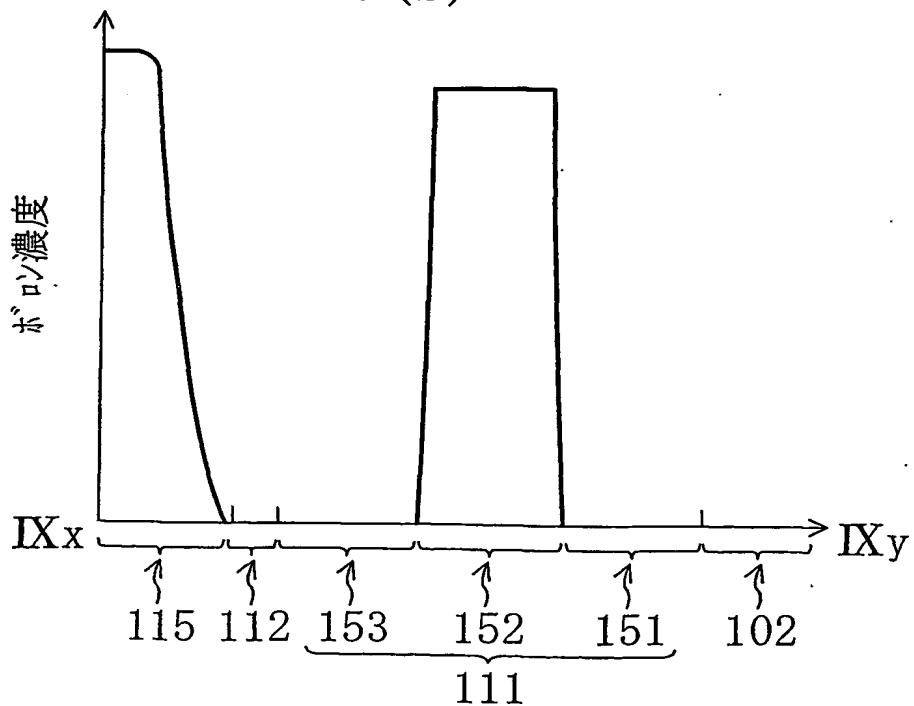


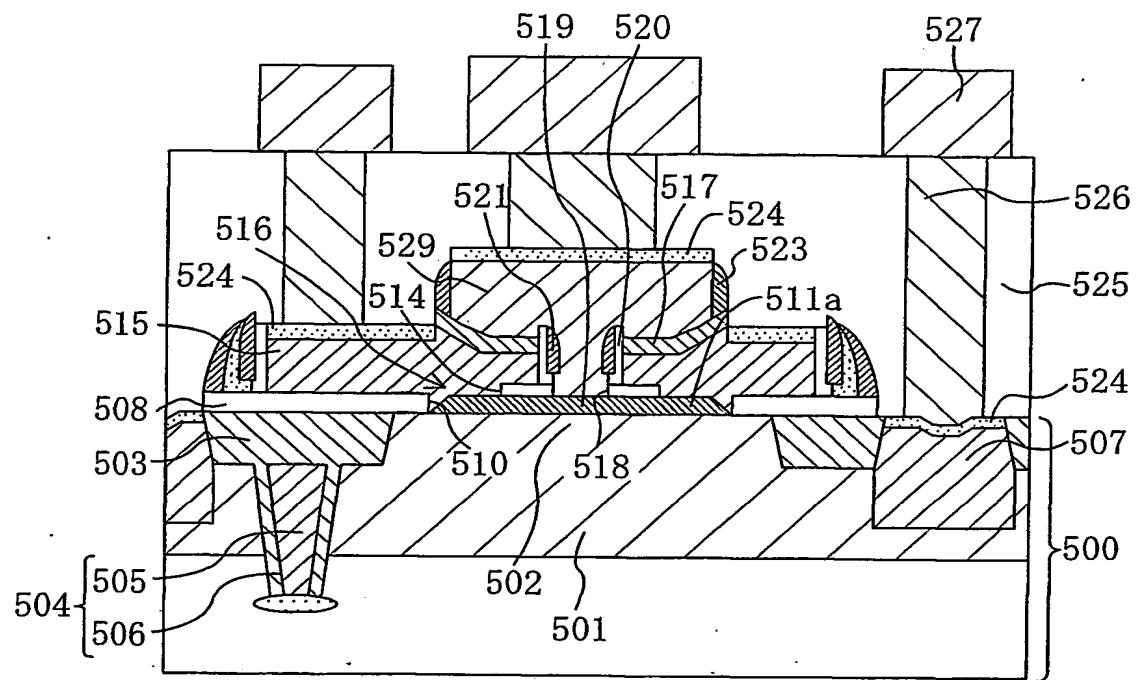
FIG. 9 (b)



THIS PAGE BLANK (USPTO)

10/13

FIG. 10



THIS PAGE BLANK (USPTO)

11/13

FIG. 11 (a)

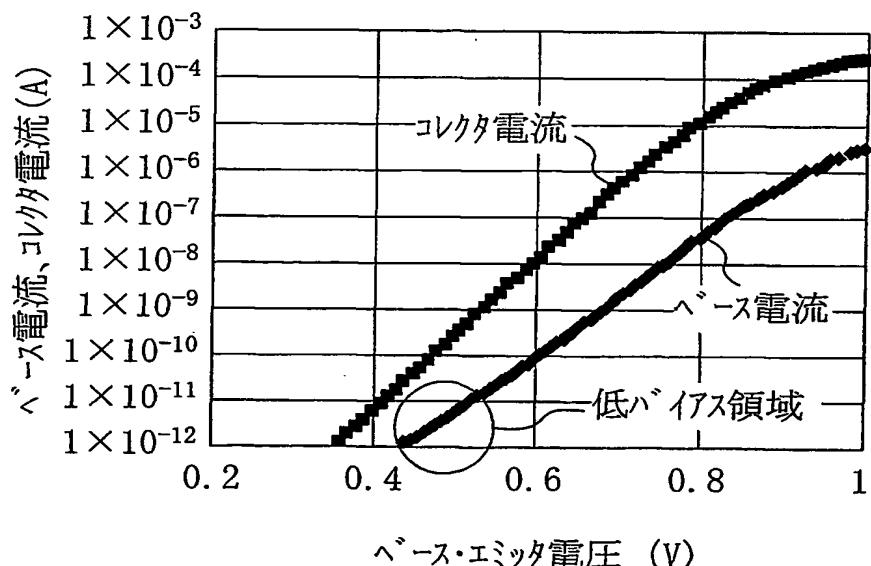
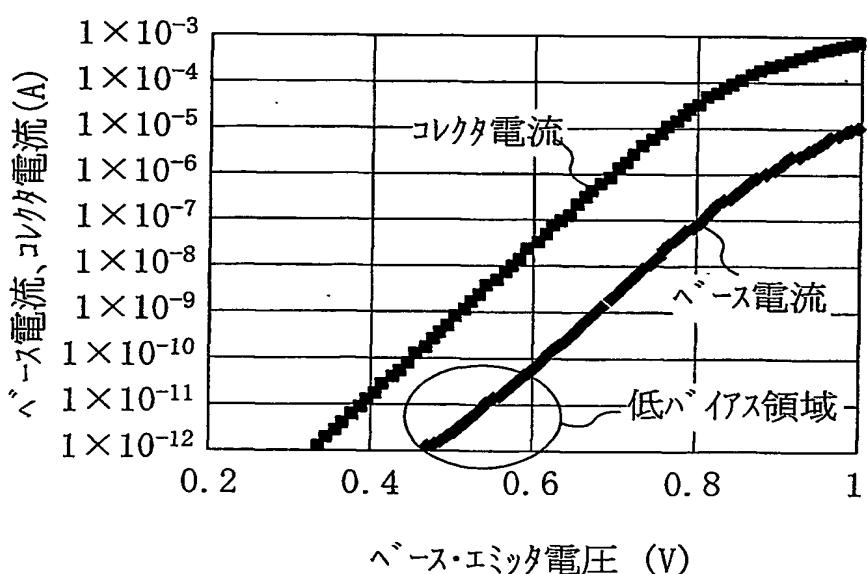


FIG. 11 (b)



THIS PAGE BLANK (USPTO)

12/13

FIG. 12 (a)

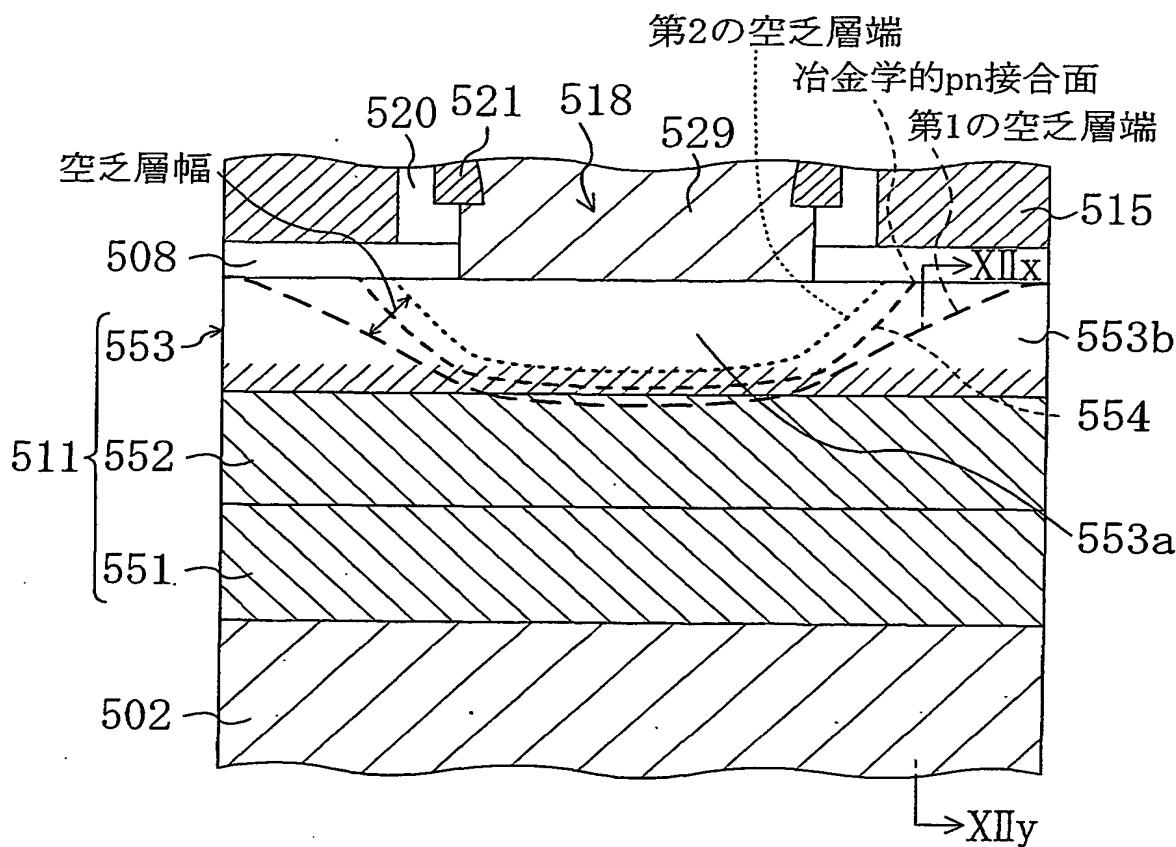
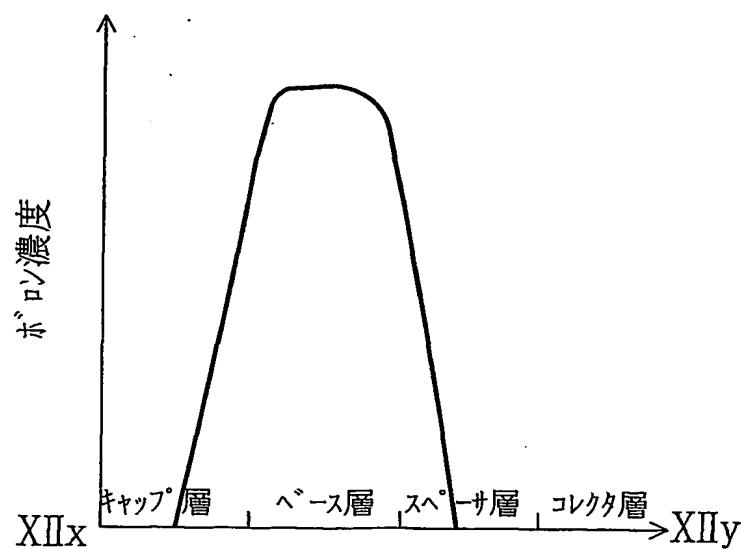


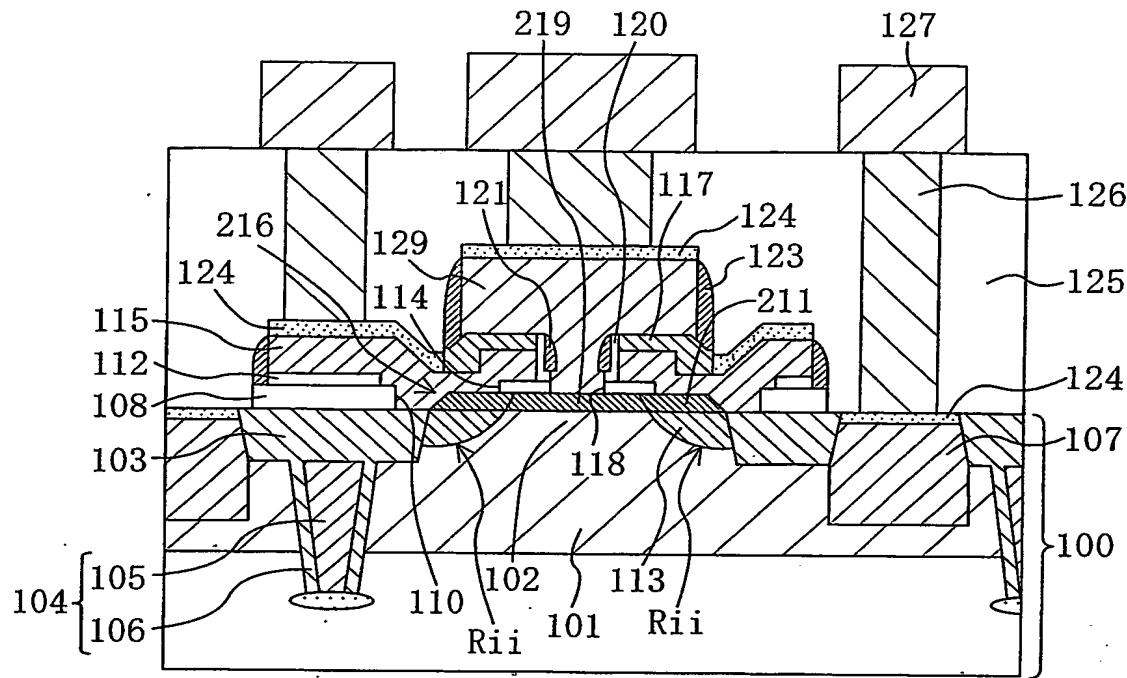
FIG. 12 (b)



THIS PAGE BLANK (USPTO)

13/13

FIG. 13



THIS PAGE BLANK (USPTO)